

## LIQUID CRYSTAL DISPLAY DEVICE

Patent Number: JP7072454

Publication date: 1995-03-17

Inventor(s): HOSHINO MASAFUMI; others: 03

Applicant(s): SEIKO INSTR INC

Requested Patent:  JP7072454

Application Number: JP19930269170 19931027

Priority Number(s):

IPC Classification: G02F1/133; G09G3/36

EC Classification:

Equivalents: JP3181771B2

---

### Abstract

---

PURPOSE: To provide a practical and efficient driving method suitable for simultaneous selection of plural lines of a simple matrix type liquid crystal panel.

CONSTITUTION: This device is provided with a matrix panel 1, a common driver 2 and a segment driver 3, a liquid crystal layer is interposed between a row-shaped scanning electrode group 4 and a column-shaped signal electrode group 5, composed of a frame memory 6, an orthogonal signal generating means 7, a product sum arithmetic means 8 and a synchronizing means 9 and a frame memory 6 holds the inputted dot data for every frame. The orthogonal signal generating means 7 generates plural orthogonal signals having the mutually orthogonal relation, and these are successively supplied to the common driver 2 with a suitably combined combination pattern and the scanning electrode group 4 is selected/driven with a prescribed sequence complied with the combined pattern. The product sum arithmetic means 8 performs the product sum operation between the set of dot data and the set of an orthogonal signal, the result is supplied to the segment driver 3 and the signal electrode group 5 is driven. By repeating the set sequential scanning plural numbers of times at one cycle, the desired image display is performed. At this time, by the transversal shift and the longitudinal shift of the orthogonal signal, the displayed picture quality is improved.

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-72454

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl.<sup>6</sup>  
G 0 2 F 1/133  
G 0 9 G 3/36

識別記号  
5 4 5  
5 7 5

F I

技術表示箇所

(21)出願番号 特願平5-269170  
(22)出願日 平成5年(1993)10月27日  
(31)優先権主張番号 特願平4-344246  
(32)優先日 平4(1992)12月24日  
(33)優先権主張国 日本(JP)  
(31)優先権主張番号 特願平5-65760  
(32)優先日 平5(1993)3月24日  
(33)優先権主張国 日本(JP)  
(31)優先権主張番号 特願平5-65761  
(32)優先日 平5(1993)3月24日  
(33)優先権主張国 日本(JP)

(71)出願人 000002325  
セイコー電子工業株式会社  
東京都江東区亀戸6丁目31番1号  
(72)発明者 星野 雅文  
東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内  
(72)発明者 千本松 茂  
東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内  
(72)発明者 男庭 啓友  
東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内  
(74)代理人 弁理士 林 敬之助

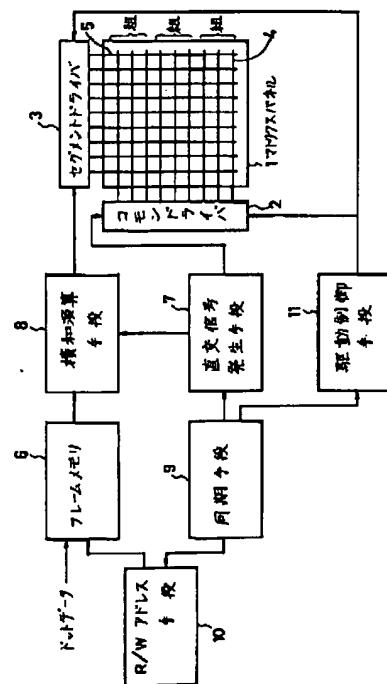
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 単純マトリクス型液晶パネルの複数ライン同時選択に適した実用的且つ効率的な駆動方法を提供する。

【構成】 液晶表示装置はマトリクスピネル1とコモンドライバ2とセグメントドライバ3を備えて、行状の走査電極群4と列状の信号電極群5との間に液晶層を介在させ、フレームメモリ6と直交信号発生手段7と積和演算手段8と同期手段9を含む構造であり、フレームメモリ6は入力されたドットデータをフレーム毎に保持する。直交信号発生手段7は互いに直交関係にある複数の直交信号を発生し、これを逐次適当な組み合わせパターンでコモンドライバ2に供給し、この組み合わせパターンに応じて走査電極群4を所定の組順次で選択駆動する。積和演算手段8はドットデータの組と直交信号の組との間で積和演算を行ないその結果をセグメントドライバ3に供給して信号電極群5の駆動を行なう。かかる構造により1サイクルで組順次走査を複数回繰り返す事により所望の画像表示を行なう。この際直交信号の横ずらし及び縦ずらしを行なう事により表示画質を改善できる。



1

## 【特許請求の範囲】

【請求項1】 行状の走査電極群と列状の信号電極群との間に液晶層を介在してなるマトリクスパネルと、走査電極群を駆動するコモンドライバと、信号電極群を駆動するセグメントドライバとを備えた液晶表示装置において、

入力されたドットデータをフレーム毎に保持するフレームメモリと、

互いに直交関係にある複数の直交信号を発生し、これを逐次適当な組み合わせパタンでコモンドライバに供給し、この組み合わせパタンに応じて走査電極群を所定の組順次で選択駆動する為の直交信号発生手段と、

フレームメモリから逐次読み出されるドットデータの組と直交信号発生手段から転送される直交信号の組との間で積和演算を行ない、その結果をセグメントドライバに供給して信号電極群の駆動を行なう為の積和演算手段と、

フレームメモリからのドットデータ読み出しタイミングと直交信号発生手段からの信号転送タイミングを互いに同期させ、1サイクルで組順次走査を複数回繰り返す為の同期手段とを含む事を特徴とする液晶表示装置。

【請求項2】 前記直交信号発生手段は、組順次の選択駆動に応じて該複数の直交信号の位相を横ずらしさせ適当な組み合わせパタンを作成する手段を備えた事を特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記直交信号発生手段は、組順次走査のサイクル毎に該複数の直交信号の配列を継ぎだし又は入れ替えさせ適当な組み合わせパタンを作成する手段を備えた事を特徴とする請求項1記載の液晶表示装置。

【請求項4】 行状の走査電極群と列状の信号電極群との間に液晶層を介在してなるマトリクスパネルをドットデータに基きコモンドライバ及びセグメントドライバを介して駆動する場合、直交信号の組を逐次コモンドライバに供給し走査電極群を所定のライン数毎に組順次で選択駆動するとともに、ドットデータの組と直交信号の組の積和演算により得られた積和信号をセグメントドライバに供給し組順次走査に同期して信号電極群を駆動する複数ライン同時駆動方法において、

組毎に同時選択される走査電極のライン数を最適化してセグメントドライバの耐圧とコモンドライバの耐圧との間の均衡を図る事を特徴とする複数ライン同時駆動方法。

【請求項5】 走査電極群の全ライン数をNとすると、各組に含まれる走査電極のライン数nをNの平方根の近傍に設定する事を特徴とする請求項5記載の複数ライン同時駆動方法。

【請求項6】 多数の走査電極と多数の信号電極との間に液晶を介在してなる液晶パネルの駆動方法において、複数の走査電極からなる走査電極群を一括して同時に選

2

択し、前記複数の各走査電極に走査信号を供給し、前記走査信号と同期して前記信号電極にデータ信号を供給し、前記走査電極群を順次走査してフレーム走査を行うとともに、

前記走査電極群が選択された時の各走査電極に与えられる走査信号は、複数の電圧レベルを持ち、

前記複数電圧レベルの一つが割り当てられた各走査電極の各走査信号は、前記走査電極群において組み合わせパタンを構成し、前記組み合わせパタンは複数のフレーム走査毎に繰り返されるものであって、

10 前記1フレーム走査において、当該選択された走査電極群の各走査信号の組み合わせパタンと、次に選択される走査電極群の組み合わせパタンとが、異なる事を特徴とする液晶パネルの駆動方法。

【請求項7】 多数の走査電極と多数の信号電極との間に液晶を介在してなる液晶パネルの駆動方法において、複数の走査電極からなる走査電極群を一括して同時に選択し、前記複数の各走査電極に走査信号を供給し、前記走査信号と同期して前記信号電極にデータ信号を供給し、前記走査電極群を順次走査してフレーム走査を行うとともに、

前記走査電極群が選択された時の各走査電極に与えられる走査信号が複数の電圧レベルを持ち、

前記複数電圧レベルの一つが割り当てられた各走査電極の各走査信号は、前記走査電極群において組み合わせパタンを構成し、前記組み合わせパタンは複数のフレーム走査毎に繰り返されるものであって、

20 前記フレーム走査において、当該選択された走査電極群の各走査信号の組み合わせパタンと、次のフレーム又は複数回数後のフレームでの走査電極群の組み合わせパタンとが、異なる事を特徴とする液晶パネルの駆動方法。

【請求項8】 多数(N本)の走査電極と多数の信号電極との間に液晶を介在してなる液晶パネルの駆動方法において、

複数(L本)の走査電極からなる走査電極群を一括して同時に選択し、前記複数の各走査電極に走査信号を供給し、前記走査信号と同期して前記信号電極にデータ信号を供給し、前記走査電極群を順次走査してフレーム走査を行なうとともに、

30 前記走査電極群が選択された時の各走査電極に与えられる走査信号は、複数の電圧レベルを持ち、

前記複数電圧レベルの一つが割り当てられた各走査電極の各走査信号は、前記走査電極群において直交した組み合わせパタンを構成し、前記組み合わせパタンは複数のフレーム走査毎に繰り返され、

前記信号電極には、走査信号F<sub>1</sub>(t)と表示データI<sub>1</sub>から次の式によって計算されるデータ信号電圧G<sub>1</sub>(t)が印加され、

【数1】

(3)

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{(N+1)j} F_k(t)$$

ここで、 $V_{(N+1)j}$ は、L本毎に加えられる仮想ラインのデータであり次の数式によって計算され、

【数2】

$$V_{(N+1)j} = \left( \frac{L}{\sqrt{N}} \cdot \left( N - \sum_{m=1}^N I^2 m_j \right) \right)^{1/2}$$

N+1本目に加えられるべき仮想ラインのデータをL本の走査電極の選択毎に仮想ラインのデータを等分割して加える事を特徴とする液晶パネルの駆動方法。

【請求項9】 多数(N本)の走査電極と多数の信号電極との間に液晶を介在してなる液晶パネルの駆動方法において、

複数(L本)の走査電極からなる走査電極群を一括して同時に選択し、前記複数の各走査電極に走査信号を供給\*

\*し、前記走査信号と同期して前記信号電極にデータ信号を供給し、前記走査電極群を順次走査してフレーム走査を行なうとともに、

前記走査電極群が選択された時の各走査電極に与えられる走査信号は、複数の電圧レベルを持ち、

前記複数電圧レベルの一つが割り当てられた各走査電極の各走査信号は、前記走査電極群において直交した組み合わせパターンを構成し、前記組み合わせパターンは複数のフレーム走査毎に繰り返され、

前記信号電極には、走査信号 $F_i(t)$ と表示データ $I_{ij}$ から次の数式によって計算されるデータ信号電圧 $G_j(t)$ が印加され、

【数3】

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{kj} F_k(t)$$

ここで、 $V_{kj}$ は、L本毎に加えられる仮想ラインのデータであり次の数式によって計算され、

※【数4】

$$V_{kj} = \left( L - \sum_{m=1}^N I^2 (k * L + m)_j \right)^{1/2} \quad k = i / L$$

L+1本目に加えられるべき仮想ラインのデータをL本の走査電極の選択毎にし本分のデータから計算して加える事を特徴とする液晶パネルの駆動方法。

【請求項10】 多数(N本)の走査電極と多数の信号電極との間に液晶を介在してなる液晶パネルの駆動方法において、

複数(L本)の走査電極からなる走査電極群を一括して同時に選択し、前記複数の各走査電極に走査信号を供給し、前記走査信号と同期して前記信号電極にデータ信号を供給し、前記走査電極群を順次走査してフレーム走査を行なうとともに、

☆

☆前記走査電極群が選択された時の各走査電極に与えられる走査信号は、複数の電圧レベルを持ち、

前記複数電圧レベルの一つが割り当てられた各走査電極の各走査信号は、前記走査電極群において直交した組み合わせパターンを構成し、前記組み合わせパターンは複数のフレーム走査毎に繰り返され、

前記信号電極には、走査信号 $F_i(t)$ と表示データ $I_{ij}$ から次の数式によって計算されるデータ信号電圧 $G_j(t)$ が印加され、

【数5】

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{(k-A)j} F_k(t)$$

ここで、 $V_{kj}$ は、L本毎に加えられる仮想ラインのデータであり次の数式によって計算され、

☆

$$V_{kj} = \left( L - \sum_{m=1}^N I^2 (k * L + m)_j \right)^{1/2} \quad k = i / L$$

L+1本目に加えられるべき仮想ラインのデータをL本の走査電極の選択毎にA回前に選択されたL本分のデータから計算して加える事を特徴とする液晶パネルの駆動方法（ここで、Aは一桁の整数）。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関する。より詳しくは、STN液晶等を用いた単純マトリクスパネルの駆動方式に関する。さらに詳しくは、複数ライン同時選択方式に適した駆動方法に関する。

【0002】

50 【従来の技術】 液晶表示装置は小型、軽量、薄型、低消

費電力を特徴としており、他の表示装置と比べて優位性がある為近年実用化が強力に進められている。液晶表示装置は大きくアクティブマトリクス型と単純マトリクス型に分けられる。前者は各画素毎に薄膜トランジスタ等の三端子素子あるいはMIM等の二端子素子を付けて液晶を駆動する方式であり、画素の分割数が増えてもステイック駆動と変わらないコントラストが得られる。しかしながら、各画素毎に薄膜半導体素子を形成する構造が複雑になり大面積化する程製造コストが高くなる。これに対して、後者は行状の走査電極と列状の信号電極間にTN液晶やSTN液晶を保持したものであり、製造コストが比較的低いという利点がある。しかしながら、電圧平均化法により時分割駆動を行なう為、分割数が多くなるとON時とOFF時の実効値の差が小さくなりコントラストが低下してくる。

【0003】参考の為、単純マトリクス型液晶表示装置の駆動法として従来より採用されている電圧平均化法について簡潔に説明する。この方法は各走査電極を順次1本ずつ選択し、選択されるタイミングに合わせて全信号電極にON/OFFに相当するデータ信号を与えるものである。その結果、各画素に印加される電圧は、全走査電極(N本)を選択する1フレーム期間の中で1回(1/N分の時間)高い印加電圧となり、残りの時間((N-1)/N分)は一定のバイアス電圧となる。使用される液晶材料の応答速度が遅い場合には、1フレーム期間における印加電圧波形の実効値に応じた輝度の変化が得られる。しかしながら、分割数を大きくとりフレーム周波数が下がると、1フレーム期間と液晶の応答時間との差が小さくなり、液晶は印加されるパルス毎に応答しフレーム応答現象と呼ばれる輝度のちらつきが現われコントラストが低下する。図15はこのフレーム応答現象を示すグラフであり、走査電極が選択された時に透過率が上昇し、その後の非選択期間では透過率が減少してしまう。

【0004】電圧平均化法におけるフレーム応答現象の問題に対処する方策として、高電圧パルスの幅を狭めた「高周波数化」と、高電圧パルスとバイアス電圧の電位差を小さくする「バイアスレベル最適化」が提案されている。図16は高周波数化を行なった場合の透過率変化を示したグラフである。図15のグラフに比べ、パルス幅を縮小した分フレーム周波数が上がる。選択時の高電圧パルスが短い周期で印加される為に透過率が下がりきらいうちに次の高電圧パルスが供給され全体の透過率が上昇する。しかしながら、この高周波数化方式には限界があり、印加波形の歪の増大によって画像の均一性を著しく損なう。

【0005】一方、図17はバイアスレベル最適化を行なった場合における透過率の変化を示したグラフである。非選択期間のバイアス電圧レベルを大きくする事により選択時と非選択時の実効値の差が小さくなり、図1

5のグラフに比べ非選択時の透過率の低下が減少している。しかしながら、このバイアスレベル最適化方式にも限界があり、バイアスレベルの変更はON/OFFの電圧比を低下させコントラストの悪化を伴なう。

【0006】こうした電圧平均化法の問題点に対し、矛盾のない解決策として「複数ライン同時選択法(Multiple Line Selection)」が提案されている。例えば、SID1992においてオプトレックス社により報告がある(SID'92 DIGEST pp232-235, 1992)。又、これと類似する方式として米国イン・フォーカス・システムズ社が「全ライン同時選択法(Active Addressing Method)」を発表している(SID'92 DIGEST pp228-231, 1992)。これらの同時選択法は高周波数化の原理に基くが、従来の1ライン毎の選択ではなく、複数ラインを同時に選択する事によって、見掛け上高周波数化と同等の効果を得るものである。1ライン毎の選択ではなく複数のラインを同時に選択するので、任意の表示を得る為には工夫が必要になる。即ち、元の画像信号を演算処理して信号電極に供給する必要がある。その基本的な演算方法は、T. N. Ruckmongathanが1988年に発表している(1988 IDR C, pp80-85, 1988)。

【0007】さらに上述した複数ライン同時選択法と組み合わせ可能な「単純マトリクスのパルス電圧変調による階調方法(Pulse-Height Modulation(PHM) Gray Shading Methods for Passive Matrix)」が提案されている。例えば、JAPAN DISPLAY 1992において米国イン・フォーカス・システムズ社により報告がある(JAPAN DISPLAY 1992-69)。このパルス電圧変調階調方法では、現実の複数走査ラインに加えて仮想の走査ラインを設けている。仮想ラインに位置する画素に対して仮想の表示データが与えられる。この仮想データは、現実の画素に与えられる表示データ(ドットデータ)に基いて演算される。一方、各信号ラインに供給する信号波形は、上述した複数ライン同時選択法に従い現実の表示データ及び仮想表示データを演算処理して求められる。この様に仮想ラインを設ける事により、各画素に対して表示データに応じた正しい実効電圧が印加される。換言すると、仮想ラインは表示データに応じた正しい実効電圧を印加する為に調整用として設けられたものであり、実際の液晶パネル電極構成に含まれるものではない。

【0008】

【発明が解決しようとする課題】ところで上述した複数ライン同時選択法を単純マトリクス型液晶パネルの駆動に適用する為、実用的且つ効率的な回路構成を具体化する事が課題となっている。そこで、本発明は複数ライン同時選択法に適した駆動回路構成を提供する事を第一目的とする。

【0009】複数ライン同時選択法は、行状の走査電極群と列状の信号電極群との間に液晶層を介在してなるマトリクスピネルをドットデータに基きコモンドライバ及

7

びセグメントドライバを介して駆動する場合、直交信号の組を逐次コモンドライバに供給し走査電極群を所定のライン数毎に組順次で選択駆動するとともに、ドットデータの組と直交信号の組の積和演算により得られた積和信号をセグメントドライバに供給し組順次走査に同期して信号電極群を駆動するものである。コモンドライバは所定の電圧レベルを有する直交信号の組を走査信号として走査電極に印加する。セグメントドライバは表示パタンを表わすドットデータに応じて変動する電圧レベルを有する積和信号を受け入れ、これをデータ信号として信号電極に供給する。この際、ハードウェア構成上の利点及びドライバ用IC部品の共通化を図る上で、コモンドライバとセグメントドライバとの間で耐圧の均衡をとる事が課題となっている。そこで本発明はかかる耐圧の均衡を図る事を第二目的とする。

【0010】複数ライン同時選択法では、走査電極群に印加される直交信号はどの様な波形でも基本的には良いが、同時選択したラインを全て同一極性の電圧パルスで走査する場合が必ず半サイクルの中に1回生じる。一方各信号電極線に印加されるデータ信号波形は、前述した様にドットデータの組と直交信号の組の積和演算により求められる。従って、ドットデータが任意の表示パタンであれば非選択期間のバイアス電圧は半サイクル中任意に加わる事になるが、表示パタンが全点灯又は全消灯の場合、非選択期間のバイアス電圧は同時選択したラインが全て同一極性の電圧パルスで走査する期間に集中して加わる事になる。この為光学応答にむらが発生し表示パタンに依存してコントラストに差が出るという課題がある。そこで、本発明はかかる表示パタンに依存する光学応答のむらを改善する事を第三目的とする。

【0011】複数ライン同時選択法においては走査電極線に印加される電圧は、同時選択したラインの波形が異なった波形でなくてはならない為、前述した様に直交信号を用いる。従って同時に選択するライン数が増えるに従って、走査電極線に印加する波形で同時に選択した1本目のラインと最後のラインとの周波数の差が大きくなってしまう。一方信号電極線に印加されるデータ信号はドットデータと直交信号の積和により計算され、実際に液晶に印加されるバイアス電圧は直交信号とデータ信号との合成になる。同時選択ライン数nが全ライン数Nの平方根より小さい場合、信号電極線の電圧に比べ走査電極線の電圧が高くなり合成された波形の周波数は走査電極線側の波形が支配的になる。逆に同時選択ライン数がNの平方根より大きい場合、走査電極線より信号電極線の電圧が表示パタンに依存して高くなり合成された波形の周波数は信号電極側の波形が支配的になる。一般的に液晶を駆動する場合、周波数特性があり周波数の差によって透過率が変化してしまう。以上の事から同時選択ライン数nが全ライン数Nに比べ比較的小さい場合、同時に選択した1本目のラインと最後のラインとでは透過率

10

20

30

40

50

8

の差が出てしまい画面上に同時に選択した本数の幅で横に縞模様のむらが出てしまうという課題がある。そこで、本発明はかかる周波数依存性に起因する縞模様のむらを改善する事を第四目的とする。

【0012】複数ライン同時選択法においてパルス電圧変調により階調表示を行なう場合、仮想ラインに割り当てられる仮想の表示ドットデータは現実のドットデータに基き計算される。ドットデータは階調表示の場合例えば-1～+1まで連続した値をとる。パルス電圧変調方式では仮想ドットデータの値は表示ドットデータが0の時最大となり全ライン数Nの平方根値に等しい。従つて、全ライン数Nが大きくなるに従つて仮想ドットデータの値も大きくなる。この為表示パタンが丁度全点灯状態と全消灯状態の中間レベルになると、仮想ラインを含む最後の複数ラインを同時選択した時にパルス性の高い電圧が信号電極線に印加される事になる。以上の様に、表示パタンによっては信号電極線にパルス性の高い電圧が加わる為、液晶に加わるバイアス電圧の周波数特性が変化し透過率の差が出てしまうという課題がある。そこで本発明は、パルス電圧変調による階調表示を行なった場合に生じるパルス性の高い電圧を分散化し液晶の周波数依存性に起因する透過率の差を抑制する事を第五目的とする。

### 【0013】

【課題を解決するための手段】図1を参照して本発明の基本的な構成を説明する。図示する様に、本発明にかかる液晶表示装置は一般的な構成要素としてマトリクスパネル1とコモンドライバ2とセグメントドライバ3とを備えている。マトリクスパネル1は行状の走査電極群4と列状の信号電極群5との間に液晶層を介在させた構造を有している。液晶層としては例えばSTN液晶を用いる事ができる。コモンドライバ2は走査電極群4に接続されておりこれを駆動する。セグメントドライバ3は信号電極群5に接続されておりこれを駆動する。

【0014】本発明の第一目的を達成する為、フレームメモリ6と直交信号発生手段7と積和演算手段8と同期手段9とを具備している。フレームメモリ6は入力されたドットデータをフレーム毎に保持する。なお、ドットデータは走査電極群4と信号電極群5の交差部に規定される画素（ドット）に対応する画像データである。直交信号発生手段7は互いに直交関係にある複数の直交信号を発生し、これを逐次適当な組み合わせパタンでコモンドライバ2に供給し、この組み合わせパタンに応じて走査電極群を所定の組順次で選択駆動する。図では、模式的に3本の走査電極を1組とし同時に駆動する例を表わしている。積和演算手段8はフレームメモリ6から逐次読み出されるドットデータの組と直交信号発生手段7から転送される直交信号の組との間で所定の積和演算を行ない、その結果をセグメントドライバ3に供給して信号電極群5の駆動を行なう。同期手段9はフレームメモリ

6からのドットデータ読み出しタイミングと直交信号発生手段7からの信号転送タイミングを互いに同期させる。1サイクルで組順次走査を複数回繰り返す事により所望の画像表示が得られる。なお、本発明にかかる液晶表示装置はフレームメモリ6に対するドットデータの書き込み／読み出しを制御する為R/Wアドレス手段10を備えている。このアドレス手段10は同期手段9により制御され、所定の読み出しアドレス信号をフレームメモリ6に供給する。加えて、駆動制御手段11を含んでおり、同期手段9の制御を受けてコモンドライバ2及びセグメントドライバ3に所定のクロック信号を供給する。

【0015】以下、複数ライン選択法において4本の走査電極を同時に選択する場合を説明する。図2は4ライン同時駆動の波形図である。F<sub>1</sub> (t)～F<sub>4</sub> (t)は各走査電極に印加される電圧波形を示し、G<sub>1</sub> (t)～G<sub>4</sub> (t)は各信号電極に印加する電圧波形を示している。走査信号波形は(0, 1)において完備な正規直交関数であるWalsh関数に基いて設定されている。0の場合を-Vr、1の場合を+Vr、非選択期間を0Vとする。上から4本ずつ1組として選択し、下に向って組順次走査する。4回の走査でWalsh関数の1周期に相当し前半サイクルが終了する。次の1周期では極性を反転して後半サイクルを行ない直流成分が入らない様にする。

【0016】一方、各信号電極に印加される電圧波形については個々のドットデータをI<sub>ij</sub> (iはマトリクスの行番号を表わし、jは同じく列番号を表わす)とし、画素がONの時はI<sub>ij</sub>=-1、OFFの時はI<sub>ij</sub>=+1とすると、各信号電極に与えられるデータ信号G<sub>j</sub> (t)は基本的に以下の積和演算処理を行なう事により設定される。

【0017】

【数7】

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} \times F_i(t)$$

【0018】但し、非選択期間における走査信号電圧は0レベルである事から、上記式における和算処理は選択ラインのみの合計となる。従って、4ライン同時選択の場合、データ信号が取り得る電位は5レベルとなる。つまりデータ信号に必要な電位レベルは(同時選択数+1)個となる。

【0019】図3はWalsh関数を示す波形図である。4ライン同時選択の場合、例えば上から4個のWalsh関数を用いて走査信号波形を作成する。図2と図3を対比すれば理解される様に、例えばF<sub>1</sub> (t)は1番目のWalsh関数W1に対応している。W1は1周期に渡って全てハイレベルとなっているので、F<sub>1</sub> (t)の4個のパルスは(1, 1, 1, 1)の様に配列

される。F<sub>2</sub> (t)は2番目のWalsh関数W2に対応している。W2は1周期のうち前半でハイレベルとなり後半でローレベルとなる。これに応じてF<sub>2</sub> (t)に含まれるパルスは(1, 1, 0, 0)の様に配列される。同様に、F<sub>3</sub> (t)は3番目のWalsh関数W3に対応しており、そのパルスは(1, 0, 0, 1)の様に配列される。さらに、F<sub>4</sub> (t)は4番目のWalsh関数W4に対応しており、そのパルスは(1, 0, 1, 0)の様に配列される。以上の説明から明らかな様に、1組の走査電極に印加される走査信号は直交関係に基づく適当な組み合わせパタン(1, 1, 1, 1), (1, 1, 0, 0), (1, 0, 0, 1), (1, 0, 1, 0)で表わされる。図2の場合には、2番目の組に對しても同一の組み合わせパタンに従って直交信号F<sub>5</sub> (t)～F<sub>8</sub> (t)が印加される。以下同様に、3番目以降の組に對しても同一の組み合わせパタンに従い所定の走査信号が印加される。

【0020】以上、複数ライン同時選択法によれば、高電圧パルス間の間隔が減少し、パルス幅を小さくする事なく高周波数化と同等の効果が得られる。又、高電圧パルスとバイアス電圧との電位差が減少し、ON/OFF選択比を悪化せずにバイアス電圧の増大が可能になり、フレーム応答によるコントラストの悪化を抑制する事が可能になる。図4は、1/240 Duty駆動における、走査電極の行選択期間に対するコントラスト比の依存性を示すグラフである。図から明らかな様に、電圧平均化法に比べ複数ライン同時選択法のコントラスト比が改善されている。複数同時選択法の特徴は、高速駆動液晶表示装置におけるフレーム応答の抑制、表示品位の均一性向上、供給電圧の低減化、直流成分の除去等が挙げられる。

【0021】次に、本発明の第二目的を達成する為の手段を説明する。即ち、単純マトリクス型液晶パネルの複数ライン同時駆動方法において、組毎に同時選択される走査電極のライン数を最適化するという手段を講じて、セグメントドライバの耐圧とコモンドライバの耐圧との間の均衡を図った。具体的には、走査電極群の全ライン数をNとすると、各部に含まれる走査電極のライン数nをNの平方根の近傍に設定する。一般に、組毎に同時選択される走査電極のライン数が大きくなると直交信号の次数もこれに応じて高くなる。即ち、1サイクルに含まれる選択パルス個数が多くなる為電圧の分散化が進み、直交信号のパルス電圧レベルは低くなる。従って、同時選択ライン数が大きくなる程コモンドライバに要求される耐圧は低くなる。一方、同時選択ライン数が多くなる程積和信号は複雑化し必要な電圧レベル数が増大する。この結果同時選択ライン数が増加すると積和信号のレベルは上昇し、セグメントドライバに要求される耐圧は高くなる。従って、コモンドライバとセグメントドライバの耐圧は同時選択ライン数nに関し互いに逆の関係にあ

る。そこで、本発明ではこの同時選択ライン数nを最適化する事により、セグメントドライバの耐圧とコモンドライバの耐圧との間の均衡を図る様にしている。

【0022】統いて、本発明の第三目的を達成する為の手段を説明する。複数ライン選択法においては、通常、画面の上から複数本ずつ同時に選択し下に向って走査する。その時、複数本同時に選択した時の走査電極に与える走査信号波形の位相を、直前に選択された信号波形の位相からずらす事によって、全ON・OFFを表示した時に非選択期間に液晶にかかるバイアス電圧が、1/2サイクル中の1回フレーム走査期間内に集中しないで分散する様にする。位相の差は、1回フレーム走査する期間内に、走査電極線に与える波形の関数を最低1周期分ずれる様にする。従って必ずしも隣り合った複数ライン間の位相をずらさなくても、何回か選択する毎に1位相ずらして1回フレーム走査期間内に1周期ずれる様にしても良い。又画面の上から下へ向って走査せずに画面上を下から上へ又はランダムに順次選択した場合も同様である。複数ライン選択法では前述した通り、表示パタンによってコントラストに差が出るが走査電極線の波形の位相をずらす事により光学応答が一様になり全ON・OFF時のフレーム応答及びコントラスト向上することができる。

【0023】さらに、本発明の第四目的を達成する為の手段を説明する。複数ライン選択法においては、通常、画面の上から複数本ずつ同時に選択し下に向って走査し、複数回上から下まで走査する事により直交関数の1周期が終わる。その時、複数本同時に選択した時の走査電極に与える走査信号波形を、直前の1サイクルと次の1サイクルとで用いる、同時に選択した各ラインの波形パタンを入れ替える事により、各ラインの周波数を均一にして、同時に選択した本数の幅で出る横縞模様のむらをなくす。波形パタンの入れ替えはサイクル毎に、2本目のパタンを1本目、3本目のパタンを2本目という様にずらしていく、1つのラインに直交関数のパタンが\*

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{(N+1)j} F_{kj}(t)$$

【0027】従来の複数ライン選択法で階調表示をした場合、表示パタンによっては透過率の差が出るが、本発明では仮想ラインデータを複数本選択毎に分散させて印加する事により、実際に液晶に印加される波形は表示パタンに関係なく走査電極線の周波数が支配的になり、画面内が均一になる。

【0028】又、複数本選択する毎に仮想ラインを設ける際、N+1本目に集中していた実効値をL本選択毎に計算して波形全体に分散させる事により信号電極線にパ

\* 均等に現われる様にするのが一番良いが、周波数の高いラインと低いラインとを交互に入れ替えるだけでもある程度の効果がある。又、走査電極に加える波形の周波数を平均化する為なので、各ラインの波形パタンを入れ替えるのは、1サイクル毎とは限らず、数サイクル毎に入れ替えて良く、直流成分が液晶に印加されない様に波形パタンを選べば1/2サイクルでも良い。上記方法は画面の上から下へ向って走査せずに画面を下から上へ又はランダムに順次選択した場合も同様である。従来の複数ライン選択法では前述した通り、同時に選択した本数の幅で横方向に縞模様のむらが生じるが、本発明による走査電極線の波形パタンを直交関数の周期を単位として入れ替える事により、各ラインの周波数が平均化して、横縞模様がなくなり画面が均一になる。

【0024】最後に、本発明の第五目的を達成する為の手段を説明する。即ち、複数ライン選択法において電圧変調により階調表示を行なう場合、N+1本目に仮想ラインを設けるのではなく、複数本選択する毎に仮想ラインを設けて、N+1本目に集中していた実効値を波形全体に分散させる事により信号電極線にパルス性の高い電圧が加わらない様にする。実際には、V<sub>(1+1)</sub>のデータを以下の式8に従って計算し、信号電極線に印加されるデータ信号G<sub>1</sub>(t)は以下の式9に従って計算する。つまり複数本選択毎に仮想データであるV<sub>(1+1)</sub>を加える事により信号電極線の電圧が決まる。この時V<sub>(1+1)</sub>はV<sub>(N+1)</sub>の場合の√L/N倍になっている為、√L程度になり高い電圧は加わらない事となる。

#### 【0025】

#### 【数8】

$$V_{(L+1)j} = \left( \frac{L}{\sqrt{N}} \cdot \left( N - \sum_{m=1}^N l^2 m j \right) \right)^{1/2}$$

#### 【0026】

#### 【数9】

$$V_{(N+1)j} = \left( \frac{N}{L} \cdot \left( N - \sum_{m=1}^N l^2 m j \right) \right)^{1/2}$$

ルス性の高い電圧が加わらない様にしても良い。この場合には、V<sub>11</sub>のデータを以下の式10に従って計算し、信号電極線に印加されるデータ信号G<sub>1</sub>(t)は以下の式11に従って計算する。つまり複数本選択毎に仮想データであるV<sub>11</sub>を計算して加える事により信号電極線の電圧が決まる。この時V<sub>11</sub>は最大値で√Lになり高い電圧は加わらない事となる。

#### 【0029】

#### 【数10】

$$V_{kj} = \left( L - \sum_{m=1}^N l^2 (k * L + m) j \right)^{1/2} \quad k = i / L$$

(8)

13

【0030】

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{kj} F_k(t)$$

【0031】従来の複数ライン選択法で階調表示をした場合、表示パタンによっては透過率の差が出るが、本発明では仮想ラインデータを複数本選択毎に分散させて印加する事により、実際に液晶に印加される波形は表示パタンに関係なく走査電極線の周波数が支配的になり、画面内が均一になる。

【0032】以上説明した様に、複数本選択毎に仮想デ※

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{(k-\lambda)j} F_k(t)$$

【0034】1回又は数回前に選択された時点でメモリより読み出されたし本のデータから仮想データ  $V_{kj}$  の計算をする事により駆動回路において演算時間を長くとれて簡素化できる。

【0035】

【作用】本発明の第1側面によれば、単純マトリクス型液晶パネルの複数ライン同時選択に適した実用的且つ効率的な駆動を行なう為、フレームメモリと直交信号発生手段と積和演算手段と同期手段を備えている。フレームメモリは入力されたドットデータをフレーム毎に保持する。直交信号発生手段は互いに直交関係にある複数の直交信号を発生し、これを逐次適当な組み合わせパタンでコモンドライバに供給し、この組み合わせパタンに応じて走査電極群を所定の組順次で選択駆動する。積和演算手段はドットデータの組と直交信号の組との間で積和演算を行ない、その結果をセグメントドライバに供給して信号電極群の駆動を行なう。かかる構成により1サイクルで組順次走査を複数回繰り返す事により所望の画像表示が行なわれる。

【0036】本発明の第2側面によれば、行状の走査電極群と列状の走査電極群との間に液晶層を介在してなるマトリクスピネルをドットデータに基きコモンドライバ及びセグメントドライバを介して駆動する。この時、直交信号の組を逐次コモンドライバに供給し走査電極群を所定のライン数毎に組順次で選択駆動する。又、ドットデータの組と直交信号の組の積和演算により得られた積和信号をセグメントドライバに供給し組順次走査に同期して信号電極群を駆動する。この場合、組毎に同時に選択される走査電極のライン数を最適化してセグメントドライバの耐圧とコモンドライバの耐圧との間の均衡を図っている。具体的には走査電極群の全ライン数を  $N$  とすると、各組に含まれる走査電極のライン数  $n$  を  $N$  の平方根の近傍に設定すれば良い。

【0037】本発明の第3側面によれば、直交関数の同じ位相の値を1回走査する期間内全てに用いる代わり

\* \* 【数11】

14

※一である  $V_{kj}$  を計算して加える事により信号電極線の電圧が決まる。この時加えられる  $V_{kj}$  は選択されている  $L$  本のデータではなく、次の数式12に示す様に1回又は数回前に選択されたし本のデータにより計算しても良い。

10 【0033】

【数12】

に、複数本同時に選択する毎に直交関数の位相をずらす事によって、全点灯又は全消灯表示した時非選択期間に液晶に印加されるバイアス電圧が半サイクル中の1回走査期間内に集中しない様にする。位相の差は1回走査する期間に走査電極線の波形を規定する直交関数が最低1周期分ずれる様にする。この様に走査電極に印加される波形の位相を前の選択時の位相と代える事によって、表示パタンに依存したコントラストの差を抑え、又フレーム応答も減少できる。

【0038】本発明の第4側面によれば、同時に選択した走査電極の波形をサイクル毎に入れ替える事により、同時に選択した本数の幅で横方向に出る縞模様のむらを抑え、画面内を均一にできる。複数ライン同時選択法においては、通常画面の上から複数本ずつ同時に選択し下に向って走査し、複数回上から下まで走査する事により直交関数の1周期が終わる。この場合、複数本同時に選択した時の走査電極に与える走査信号波形を、直前の1サイクルと次の1サイクルとで用いる同時に選択した各ラインの波形パタンを入れ替える事により、各ラインの周波数を均一にして横縞模様のむらをなくすものである。

【0039】本発明の第5側面によれば、パルス電圧変調を用いた階調表示において、 $N+1$  本目に仮想ラインを設けるのではなく、複数本選択する毎に仮想ラインを設け、 $N+1$  本目に集中していた実効値を波形全体に分散させる事により信号電極線にパルス性の高い電圧が印加されない様にしている。従って電圧の高いパルスは表示パタンによって代わる事のない走査電極側だけにして、画面内を均一にする。又、仮想ラインに割り当てられる仮想のドットデータを複数ライン同時選択毎に計算する事により、信号電極線にパルス性の高い電圧が加わらない様にしている。この場合、仮想ドットデータを現在の表示データではなく過去の表示データに基いて演算する事により、駆動回路の高速化並びに簡素化を図る事が可能になる。

## 【0040】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図5は、図1に示した基本的な回路構成を具体化した実施例を示す回路図である。(A)に示す様に、本例はシリアル／パラレル(S/P)変換回路21を備えており、入力されたシリアルドットデータを8ビット毎のパラレルドットデータに変換する。なお、ドットデータはデジタルRGB信号として与えられる。S/P変換回路21には複数のメモリユニット22～25が接続されている。各メモリユニットは各行に対応しており、夫々8ビットずつに区切ってドットデータを記録する。例えば、第一メモリユニット22は第1行に割り当てられたドットデータを8個ずつ区切って記録する。以下同様に、第二メモリユニット23は第2行に割り当てられたドットデータを8ビットずつ区切って記録する。この様に、複数のメモリユニット22～25は図1に示したフレームメモリ6に対応している。又、書き込みタイミング発生回路26を備えており、ドットクロック(Dot Clock)を受け入れる他、シリアル／パラレル変換回路21からフレーム信号FRM、クロック信号CL1, CL2を受け入れ、メモリユニットに対して書き込み信号WE、書き込みゲート信号G、読み出しクロック信号CKを出力する。

【0041】なお、クロック信号CL1はシリアルドットデータのピット配列に対応しており、他のクロック信号CL2は8ビット単位に対応している。さらに、一対の書き込みアドレス発生回路27及び読み出しアドレス発生回路28を備えており、アドレス切換回路29を介してメモリユニット22～25に接続されている。書き込みアドレス発生回路27は書き込みタイミング発生回路26に接続されておりその制御を受ける。以上、書き込みタイミング発生回路26、書き込みアドレス発生回路27、読み出しアドレス発生回路28、アドレス切換回路29は、図1に示したR/Wアドレス手段10に対応している。ところで読み出しアドレス発生回路28は読み出しタイミング発生回路30に接続されておりその制御を受ける。この読み出しタイミング発生回路30は、図1に示した同期手段9に対応している。

【0042】図5の(B)に示す様に、読み出しタイミング発生回路30はWalsh関数発生回路31に接続している。このWalsh関数発生回路31は、図1に示した直交信号発生手段7に対応している。さらに、読み出しタイミング発生回路30は駆動信号発生回路32にも接続しており、所定のクロック信号を出力する。このクロック信号はセグメントドライバ及びコマンドライバの駆動制御に用いられる。従って、駆動信号発生回路32は、図1に示した駆動制御手段11に対応している。Walsh関数発生回路31の出力はレベル変換回路33を介してコマンドライバに接続されている。最後に、メモリユニット22～25の出力端子とWalsh

10

20

30

40

50

関数発生回路31の出力端子には8個の演算器ユニット34～41が接続されている。これらの演算器ユニットは、図1に示した積和演算手段8に対応している。8個の演算器ユニット34～41は8ビットのドットデータの夫々に対応している。例えば、1番目の演算器ユニット34は1列目の信号電極に関して積和演算を行ない対応するデータ信号を作成する。同様に、2番目の演算器ユニット35は2列目の信号電極に関して積和演算を行ない対応するデータ信号を作成する。以下同様に8番目の演算器ユニット41は8列目の信号電極に関して積和演算を行ない対応するデータ信号を作成する。この様にして作成された8列分のデータ信号は8/4変換回路42を介してセグメントドライバに転送される。

【0043】なお、本例に採用したセグメントドライバは1ドット当たり3ビットのデータ信号を受け取り最大で8電圧レベルを選択してマトリクスパネルに出力できる能力がある。前述した様に、4ライン同時選択の場合信号電圧波形として5レベル必要であり、このセグメントドライバは必要な能力を備えている。但し、1回のデータ入力数は3ビット×4に限られている。従って、8/4変換回路42を介して、1回につき4ドット分の信号データをセグメントドライバに転送する様にしている。なお、本例ではコマンドライバもセグメントドライバと同一の構造を採用している。

【0044】以下、図6～図8を参照して、図5に示した回路の各部の動作を詳細に説明する。図6は個々のメモリユニットの構成並びに動作を説明する為の模式的なブロック図である。ここでは例示として1番目のメモリユニット22を示しておりRAMメモリ221を備えている。このRAMメモリは例えば1行目に割り当てられたドットデータを8ビットずつ記録する。入力バッファ222を備えておりシリアル／パラレル変換回路から8ビット単位で入力されるドットデータを一時保持する。保持されたドットデータはアドレス切換回路を介して書き込みアドレス発生回路から供給される書き込みアドレス信号に基きRAMメモリ221の所定番地に記録される。又出力ラッチ223を備えており、RAMメモリ221から読み出されたドットデータを8ビットずつラッчиし、順次演算器ユニット側に転送する。この際、RAMメモリ221はアドレス切換回路を介して、読み出しアドレス発生回路から供給された読み出しアドレス信号に応じてドットデータを読み出す。なお、入力バッファ222は書き込みタイミング発生回路から供給される書き込みゲート信号Gにより制御され、出力ラッチ223は読み出しクロック信号CKにより制御され、RAMメモリ221は書き込み信号WEに応じて制御されている。

【0045】図7はWalsh関数発生回路31の具体的な構成及び動作を説明する為の回路図である。この関数発生回路31は、4個の4ビットディップスイッチ

17

(Dip Sw) 311～314を有している。さらに、3個のセレクタ315, 316, 317と1個のコントローラ318を備えている。4個のディップスイッチ311～314は、直交関係を満たす所望の組み合わせパタンを記録している。この組み合わせパタンは図2に示した通りである。

【0046】1番目のディップスイッチ311は第1回走査における組み合わせパタン1, 1, 1, 1に設定されている。即ち、第1回走査では $F_1 = F_2 = F_3 = F_4 = 1$ はともに論理レベル1のパルスとなる。2番目のディップスイッチ312は第2回走査における組み合わせパタン1, 1, 0, 0に設定されている。即ち、第2回走査において $F_1 = 1$ であり、 $F_2 = 1$ であり、 $F_3 = 0$ であり、 $F_4 = 0$ となっている。同様に、3番目のディップスイッチ313は第3回走査分の組み合わせパタン1, 0, 0, 1に設定されている。即ち第3回走査において、 $F_1 = 1$ ,  $F_2 = 0$ ,  $F_3 = 0$ ,  $F_4 = 1$ となっている。

【0047】4番目のディップスイッチ314は第4回走査分の組み合わせパタン1, 0, 1, 0に設定されている。第4回走査において $F_1 = 1$ ,  $F_2 = 0$ ,  $F_3 = 1$ ,  $F_4 = 0$ である。3個のセレクタ315, 316, 317はコントローラ318により制御され、各走査毎に所定のディップスイッチを選択する様になっている。コントローラ318は行ライン送り信号(Clock)及びスキャンスタート信号(Lead)に応答して各セレクタを切り換える。第1回走査では、セレクタ315, 317を介して1番目のディップスイッチ311が選ばれ、所定の直交信号 $F_1 = F_2 = F_3 = F_4$ が出力される。これら4個の直交信号はレベル変換回路を介し走査信号としてコマンドライバに供給される。

【0048】なおレベル変換回路は0/1レベルの直交信号を $+V_r / 0 / -V_r$ レベルの走査信号に変換するものである。これらの直交信号は演算器ユニットにも転送される。第1回走査中は(1, 1, 1, 1)の組み合わせパタンを有する4個の直交信号が組順次で出力される。第2回走査に移行すると、セレクタ315, 317を介して2番目のディップスイッチ312が選択され、所定のパタン(1, 1, 0, 0)を有する4個の直交関数 $F_1 = F_2 = F_3 = F_4$ が出力される。以下同様に、第3回走査ではセレクタ316, 317を介して3番目のディップスイッチ313が出力側に接続される。第4回走査ではセレクタ316, 317を介して4番目のディップスイッチ314が出力側に接続される。

【0049】図8は演算器ユニットの構成及び動作を説明するための回路図である。ここでは、例示として1番目の演算器ユニット34を示してある。この演算器ユニット34は4個の排他的論理回路(XOR)341～344を備えている。1番目のXOR341は走査電極の第1行に割り当てられた直交関数 $F_1$ と、走査電極の第

10

20

30

40

50

18

1行及び信号電極の第1列の交点に割り当てられたドットデータ $I_{11}$ を互いに積算処理する。同様に、2番目のXOR342は第2行に割り当てられた直交関数 $F_2$ と第2行/第1列に割り当てられたドットデータ $I_{21}$ の積算処理を行なう。3番目のXOR343は第3行に割り当てられた直交関数 $F_3$ と第3行/第1列に割り当てられたドットデータ $I_{31}$ の積算処理を行なう。最後に、4番目のXOR344は第4行に割り当てられた直交関数 $F_4$ と第4行/第1列に割り当てられたドットデータ $I_{41}$ の積算処理を行なう。これら4個のXORの後段には、4個の論理積回路345～348と5個の排他的論理回路349～353の組み合わせからなる和算部が接続しており、4個の積算結果を全て和算処理し、信号電極の第1列に割り当てるべきデータ信号 $G_1$ を作成する。以下同様に、図5に示した2番目の演算器ユニット35は第2列に割り当てるデータ信号 $G_2$ を作成する。なお、前述した様にデータ信号は5個の電圧レベルをとる可能性があり、デジタル形式では図8に示す様に3ビットデータとして与えられる。この3ビットデータはセグメントドライバに直接供給する事ができる。

【0050】次に、横ずらし複数ライン同時選択方式について説明する。複数ライン同時選択法においては直交関係が保たれている限り、走査電極に印加される電圧波形は適当な組み合わせパタンを用いる事ができる。しかしながら、図2に示した組み合わせパタンでは、同時選択されたラインが全て $+V_r$ 又は $-V_r$ で走査される場合が1/2サイクル中に1回生じる。例えば、前半サイクルの第1回走査では同時選択された全てのラインに $+V_r$ が印加され、後半サイクルの第1回走査では同時選択されたラインが全て $-V_r$ の印加電圧を受ける。一方、信号電極に印加される電圧波形はドットデータに基き前述した積和演算式に基き計算される。従って、ドットデータが任意の表示パタンを表わす場合には、非選択期間のバイアス電圧は1/2サイクル中任意に加わる事になる。しかしながら、表示パタンが全ON又は全OFFの場合、非選択期間のバイアス電圧は同時選択したラインが全て $+V_r$ 又は $-V_r$ で走査される期間に集中して加わる事となる。この為、光学応答にむらが発生し表示パタンによってコントラストに差が出る懸れがある。

【0051】図9はこの様な表示パタンによるコントラストの差がいかなる場合に発生するかを示すものであり、4ライン同時選択の場合、表示パタンによって実際に液晶に印加される電圧波形と光学応答を模式的に表わしている。(A)は任意パタンを表示した場合を示し、(B)は全ONパタンを表示した場合である。グラフから明らかに、全ONパタンでは第1回走査期間中にバイアス電圧が集中しコントラストに差が生じてしまう。

【0052】かかる不具合に対処する為横ずらし方式が有効である。複数ライン同時選択方式においては、通常

19

画面の上から複数本ずつ同時に選択し下に向って走査する。この時、複数本同時に選択した時の走査電極に印加する走査信号波形の位相を、直前に選択された走査信号波形の位相とずらす事によって、全ON・OFF表示をした時に非選択期間に液晶にかかるバイアス電圧が、1/2サイクル中の1フレーム走査期間に集中しないで分散させる事ができる。この位相差は、1フレーム走査期間内に走査電極に印加する波形の組み合わせパタンを最低1周期分ずれる様にする。従って、必ずしも隣り合った複数ライン間の位相をずらさなくても、何回か選択する毎に1位相ずらす事によって1フレーム走査期間内に1周期シフトする様にしても良い。又、画面の上から下へ向って走査せずに、画面上を下から上へ又はランダムに組順次選択した場合も同様である。複数ライン同時選択法では直交関数の組み合わせパタンを固定した場合、前述した通り表示パタンによってコントラストに差が出るが、走査信号の電圧波形の位相をずらす事により光学応答が均一化され、全ON・OFF時のフレーム応答を抑制し且つコントラストを向上する事が可能である。

【0053】図10は横ずらし駆動波形の一例を示したものである。4本同時選択した場合において、走査信号の電圧波形をWalsh関数に基き設定し、4本1組で同時選択する毎に1位相をずらす様にしたものである。図10において、 $F_1(t)$ は走査信号波形を表わしており、4本ずつ選択しマトリクスパネルの上から下へ組順次で走査していく。先ず1回目の走査では、 $F_1, F_2, F_3, F_4$ を夫々+Vr, +Vr, +Vr, +Vrにセットする。次の $F_5, F_6, F_7, F_8$ では1位相ずらした+Vr, +Vr, -Vr, -Vrをセットする。同様に $F_9$ 以降は順次1位相ずづらした走査信号を走査電極に印加する。一方、信号電極には、前述した積和演算式に従って算出された $G_1(t), G_2(t), G_3(t)$ のデータ信号を印加する。図2に示した全ON時の $G_2(t)$ 及び全OFF時の $G_3(t)$ と異なり、1回目のフレーム走査期間に集中していた信号電極に加わる電圧が4回選択される毎に1回発生する様になり、1/2サイクル全体に渡って均等に分散される。

【0054】従って表示パタンが全ONの時液晶層に印加される波形は図11に示した様になる。図9の(B)に示した様な光学応答のむらがなくなり、図9の(A)に示した任意パタンと同様な透過率になる。以上説明した様に、横ずらし駆動方式によれば全ONパタンの場合においても、液晶パネルの光透過率がフレーム走査の周期に応じて低下する事がなく、安定して高いレベルを維持する事ができる。又、全ONパタンにおいても透過率の揺れがなくなり、任意パタン時の光学応答と同様になる。従って表示パタンによるコントラストの差がなくなりフレーム応答も抑制できる。

【0055】図12は、図10に示した横ずらし組み合

10

20

わせパタンを実現するWalsh関数発生回路の具体的な構成を示す回路図である。基本的には、図7に示したWalsh関数発生回路と同一の構造を有しており、図5に示した液晶表示装置の駆動回路に組み込む事ができる。異なる点は、コントローラ318に横シフタ319が接続されている事である。この横シフタ319はスキャンスタートに応じて発生するクロック信号(Clock)と1/2サイクル毎に発生するクリア信号(Clear)の供給を受け、コントローラ318を介して直交信号の組み合わせパタンの位相シフトを実現する。具体的には、組順次走査において第1組に対してはセレクタ315, 317を介して1番目のディップスイッチ311が選択され、組み合わせパタン1, 1, 1, 1が出力される。従って、 $F_1 = 1, F_2 = 1, F_3 = 1, F_4 = 1$ となる。次の第2組に対しては、セレクタ315, 317を介して2番目のディップスイッチ312が選択され組み合わせパタン1, 1, 0, 0が出力される。従って、図10に示した通り、 $F_5 = 1, F_6 = 1, F_7 = 0, F_8 = 0$ となる。

20

【0056】同様に、第3組に対してはセレクタ316, 317を介して3番目のディップスイッチ313が選択され組み合わせパタン1, 0, 0, 1が選択される。4番目の組に対してはセレクタ316, 317を介して4番目のディップスイッチ314が選択され、1, 0, 1, 0が出力される。以下組毎に組み合わせパタンがシフトしていく1回目のフレーム走査が終了する。2回目のフレーム走査では横シフタ319の制御によりスタート位置が1番目のディップスイッチ311から2番目のディップスイッチ312に移行する。従って、第1組に対してはセレクタ315, 317を介して2番目のディップスイッチ312が選択され、対応する組み合わせパタン1, 1, 0, 0が出力される。従って、図10に示した様に $F_1 = 1, F_2 = 1, F_3 = 0, F_4 = 0$ となる。次の2番目の組に対してはセレクタ316, 317を介して3番目のディップスイッチ313が選択され、対応する組み合わせパタン1, 0, 0, 1が出力される。従って、 $F_5 = 1, F_6 = 0, F_7 = 0, F_8 = 1$ となる。

30

【0057】最後に、直交関数の組み合わせパタンの縦ずらし駆動について説明する。図2に示した固定組み合わせパタンの走査信号を用いた場合には、第1行目の走査電極に供給される走査信号 $F_1$ は図3に示した第一のWalsh関数W1に従って1, 1, 1, 1の配列パタンを有する。この配列パタンは1/2サイクル終了後そのまま極性反転される。従って、第二サイクルの前半では、又同様に1, 1, 1, 1の配列パタンとなり、 $F_1$ は1サイクル周期の信号となる。2番目の走査信号 $F_2$ は第二のWalsh関数W2に従った配列パタンを有しており1, 1, 0, 0となる。従って、 $F_2$ は1/2サイクル周期の信号となる。同様に、 $F_3$ も1/2サイク

40

50

21

ル周期の信号となる。但し、 $F_2$  と位相がずれている。4番目の走査信号  $F_4$  は第四の  $W_{a1sh}$  関数  $W_4$  に応じた配列パタンを有しており  $1/2$  サイクル中  $1, 0, 1, 0$  の配列パタンを有する。従って、 $F_4$  は  $1/4$  サイクル周期の信号である。この様に、固定された組み合わせパタンを各サイクルについて繰り返し用いると、 $F_1$  の周波数は  $F_4$  に比べ4倍となり、 $F_2$  及び  $F_3$  の周波数は  $F_4$  の2倍となる。液晶の応答特性には周波数依存性があり、個々の走査電極の間でフレーム応答に対するばらつきが生じ、表示品質に悪影響を与える惧れがある。特に同時選択ライン数が総ライン数に比べ小さい場合顕著になる。

【0058】複数ライン選択法において、走査電極線の波形はどの様な波形でも基本的には良いが、同時選択したラインの波形が異なった波形でなくてはならない為、直交関数等を用いる。従って同時に選択するライン数が増えるに従って、走査電極線に加える波形で同時に選択した1本目と最後のラインとの周波数の差が大きくなってしまう。信号電極線に印加されるデータ信号は表示パタンと直交関数の積和により計算され、実際に液晶に印加される波形は走査電極線と信号電極線との合成になる。同時選択ライン数  $n$  が  $\sqrt{N}$  本より小さい場合、信号電極線の電圧に比べ走査電極線の電圧が高くなり合成された波形の周波数は走査電極線の波形が支配的になる。逆に同時選択ライン数が  $\sqrt{N}$  本より大きい場合、走査電極線より信号電極線の電圧が表示パタンによっては高くなり合成された波形の周波数は信号電極の波形が支配的になる。又、液晶を駆動する場合、図18に示す様に周波数特性があり周波数の差によって透過率の差が出てしまう。以上の事から同時選択ライン数  $n$  が総ライン数  $N$  に比べ比較的小さい場合、同時に選択した1本目のラインと最後のラインとでは透過率の差が出てしまい画面上に同時に選択した本数の幅で横に縞模様のむらが出てしまう。

【0059】そこで、各走査電極に印加される走査信号の周波数を均一化させる為に、図13に示した縦ずらし方式が有効である。図示する様に、第一サイクルの前半では図2と同様な組み合わせパタンになる。即ち、 $F_1$  は  $W_1$  に対応しており、 $F_2$  は  $W_2$  に対応しており、 $F_3$  は  $W_3$  に対応しており、 $F_4$  は  $W_4$  に対応している。第一サイクルの後半では単に極性反転が行なわれるだけである。次に、第二サイクルでは配列パタンの縦ずらしが行なわれており、 $W_1, W_2, W_3, W_4$  の組み合わせパタンが、 $W_4, W_1, W_2, W_3$  となっている。即ち、 $F_1$  は  $W_4$  に従って  $1, 0, 1, 0$  の配列パタンとなり、 $F_2$  は  $W_1$  に従って  $1, 1, 1, 1$  の配列パタンとなり、 $F_3$  は  $W_2$  に従って  $1, 1, 0, 0$  となり、 $F_4$  は  $W_3$  に従って  $1, 0, 0, 1$  となる。

【0060】なお、第二サイクルの後半では極性反転が行なわれる。続く第三サイクルでは縦ずらしが又一つ行

10

20

30

40

50

22

なわれる為、組み合わせパタンは  $W_3, W_4, W_1, W_2$  で表わされる。同様に、第四サイクルでは組み合わせパタンが  $W_2, W_3, W_4, W_1$  で表わされる。第五サイクルになると第一サイクルの組み合わせパタン  $W_1, W_2, W_3, W_4$  に戻る事になる。図13のタイミングチャートから明らかな様に、 $F_1, F_2, F_3, F_4$  の何れについても、各サイクルを通して見ると異なった周波数成分が混在しており、フレーム応答が均一化できる。なお、何れのサイクルにおいても縦ずらしに関わらず直交関係が保持されている事は言うまでもない。又、この縦ずらし方式では、順次シフトする代わりに、サイクル毎に入れ替えを行なっても良い。さらに、1サイクル毎ではなく、数サイクル毎に縦ずらしを行なっても良い。

【0061】図14は上述した縦ずらしに好適な  $W_{a1sh}$  関数発生回路の構成例を示す回路図である。基本的には図7に示した  $W_{a1sh}$  関数発生回路31と同一の構造を有しており、図5に示した駆動回路にそのまま組み込む事が可能である。異なる点は、セレクタ317の後段に縦シフタ310が付加されている事である。この縦シフタ310は  $1/2$  サイクル毎に発生する信号 (cycle) に応じて動作し、上述した縦ずらしを行なう。第一サイクルの前半ではセレクタ317から出力された4個の走査信号をそのまま対応する走査電極に転送する。第一サイクルの後半では極性反転を行なう。次に、第二サイクルに移行するとセレクタ317から出力された4個の走査信号を順次1行ずつサイクリックにずらして走査電極に転送する。第二サイクルの後半で極性反転を行なった後、第三サイクルの前半に入ると同様に1行だけサイクリックな縦ずらしを行なう。

【0062】図19は縦ずらし駆動波形の他の例を示したものであり、図13に示した例とはずらし方向が逆の関係にある。複数ライン選択法の4本同時選択した場合において、走査電極には前記  $W_{a1sh}$  関数を用い、1サイクル毎に1本下の波形パタンをセットする様にしたものである。図19において  $F_i(t)$  は走査電極に印加する波形で、4本ずつ選択し液晶パネルの上から下へ順次走査していく。先ず最初のサイクルでは1本目に  $(+V_r, +V_r, +V_r, +V_r)$  とセットし、2本目に  $(+V_r, +V_r, -V_r, -V_r)$  とセットし、3本目に  $(+V_r, -V_r, -V_r, +V_r)$  とセットし、4本目に  $(+V_r, -V_r, +V_r, -V_r)$  をセットする。次のサイクルでは、1本目に前サイクルの2本目のパタンである  $(+V_r, +V_r, -V_r, -V_r)$  をセットし、同時に2本目に  $(+V_r, -V_r, -V_r, +V_r)$  、3本目に  $(+V_r, -V_r, +V_r, -V_r)$  、4本目に  $(+V_r, +V_r, +V_r, +V_r)$  をセットする。その後は同様にサイクル毎に1本ずつパタンをずらして走査電極に印加する様にする。一方、信号電極には、サイクル毎に  $F_i(t)$  のパタンを

変えて積和演算した  $G_1(t)$ ,  $G_2(t)$ ,  $G_3(t)$  のデータを印加する。従ってサイクル毎に微妙な透過率の差は出るが、4本毎に出る横方向の縞模様はなくなる。

【0063】図20は複数ライン選択法の7本同時選択した場合において、走査電極には前記Walsh関数を用い、1サイクル毎に、1本目と7本目、2本目と6本目、3本目と5本目を入れ替えた波形パタンをセットする様にしたものである。図20において  $F_i(t)$  は走査電極に加わる波形で、7本ずつ選択し液晶パネルの上から下へ順次走査していく。

【0064】先ず最初のサイクルでは、1本目に  $(+V_r, +V_r, +V_r, +V_r, -V_r, -V_r, -V_r, -V_r)$  、2本目に  $(+V_r, +V_r, -V_r, -V_r, -V_r, +V_r, +V_r)$  、3本目に  $(+V_r, +V_r, -V_r, -V_r, +V_r, +V_r, -V_r, -V_r)$  、4本目に  $(+V_r, -V_r, -V_r, +V_r, +V_r, -V_r, -V_r, +V_r)$  、5本目に  $(+V_r, -V_r, -V_r, +V_r, -V_r, +V_r, +V_r, -V_r)$  、6本目に  $(+V_r, -V_r, +V_r, -V_r, +V_r)$  、7本目に  $(+V_r, -V_r, +V_r, -V_r, +V_r, -V_r, +V_r)$  を夫々印加する。

【0065】次のサイクルでは、1本目に  $(+V_r, -V_r, +V_r, -V_r, +V_r, -V_r, +V_r, -V_r)$  、2本目に  $(+V_r, -V_r, +V_r, -V_r, -V_r, +V_r, -V_r, +V_r)$  、3本目に  $(+V_r, -V_r, -V_r, +V_r, -V_r, +V_r, +V_r, -V_r)$  、4本目に  $(+V_r, -V_r, -V_r, +V_r, -V_r, +V_r, -V_r, +V_r)$  、5本目に  $(+V_r, +V_r, -V_r, -V_r, +V_r, +V_r, -V_r, -V_r)$  、6本目に  $(+V_r, +V_r, -V_r, -V_r, +V_r, +V_r)$  、7本目に  $(+V_r, +V_r, +V_r, +V_r, -V_r, -V_r, -V_r)$  とセットする。次は最初のサイクルに戻り繰り返して走査電極に印加する様にする。

【0066】信号電極には、積和演算により求めた  $G_1(t)$ ,  $G_2(t)$ ,  $G_3(t)$  のデータを印加する。横方向の縞模様は完全にはなくなるが、画面のむらは実用上問題なくなる。次に図21は、本発明に従って走査ライン数を最適化した複数ライン同時駆動方法を表わす模式的な説明図である。単純マトリクスパネル1は行状の走査電極群4と列状の信号電極群5との間に液晶層を介在させた構造を有する。信号電極群5の全ライン数は一般にNで表わされる。図示の例では簡略化の為  $N = 16$  に設定されている。一方信号電極群5のライン数は一般にMで表わす。図示の例では簡略化の為  $M = 12$  としている。又、液晶層としては例えばSTN液晶を用いる事ができる。この単純マトリクスパネル1は、走査電極群4に接続されたコモンドライバ2及び信号電極群

5に接続されたセグメントドライバ3を介して駆動され、与えられたドットデータ  $I_{ij}$  に基き所望の画像表示を行なう。このドットデータ  $I_{ij}$  は走査電極群4と信号電極群5の各交点に規定される画素に対応して割り当てられるものである。 $i$  は行番号を表わし  $j$  は列番号を表わす。本例では、ドットデータ  $I_{ij}$  は対応する画素がONの時-1の値をとり、OFFの時+1の値をとる。

【0067】直交信号  $F_i$  の組が逐次コモンドライバ2に供給され、走査電極群4を所定のライン数毎に組順次で選択駆動する。一方ドットデータ  $I_{ij}$  の組と直交信号  $F_i$  の組の積和演算により得られた積和信号  $G_i$  がセグメントドライバ3に供給され、組順次走査に同期して信号電極群5を駆動する。本発明では、組毎に同時選択される走査電極のライン数を最適化してセグメントドライバ3の耐圧とコモンドライバ2の耐圧との間の均衡を図っている。この最適化条件は、一般に走査電極群4の全ライン数をNとし各組に含まれる走査電極のライン数をnとすると、略  $n = (N \text{の平方根})$  で表わされる。例えば、図示の例では走査電極群4の全ライン数は16でありその平方根は4となる。従って、各組に含まれる走査電極のライン数は4に設定されている。即ち、16本の走査電極は4本毎に組分けされ、第1組n1、第2組n2、第3組n3、第4組n4が得られる。

【0068】引き続き、図21に示した信号波形を参照して複数ライン同時駆動を詳細に説明する。  $F_1(t)$ ,  $F_2(t)$ ,  $F_3(t)$ , ...,  $F_{16}(t)$  は対応する走査電極に印加される直交信号の電圧波形を示している。各直交信号は(0, 1)において完備な正規直交関数であるWalsh関数(図3)に基いて設定されている。本例では図3において上から4個の互いに直交するWalsh関数を用いて直交信号の組を設定している。例えば、走査電極群の第1組n1に与えられる直交信号については、 $F_1(t)$  が1番目のWalsh関数に対応している。1番目のWalsh関数は1周期において全てハイレベルであるので、 $F_1(t)$  は(1, 1, 1, 1)のパルス列となる。

【0069】なお、本例では1の場合を+ $V_r$ の電圧レベルとし、0の場合を- $V_r$ の電圧レベルとし、非選択期間を0電圧レベルとしている。同様に、 $F_2(t)$  は2番目のWalsh関数が対応しており(1, 1, 0, 0)のパルス列となる。 $F_3(t)$  は3番目のWalsh関数に対応しており(1, 0, 0, 1)のパルス列となる。 $F_4(t)$  は4番目のWalsh関数に対応しており(1, 0, 1, 0)のパルス列となる。組順次走査を行なう場合には、先ず最初に第1組n1に対して直交関数  $F_1(t) \sim F_4(t)$  の第一パルスを印加する。以下、下に向って走査し2番目の組n2を選択する。この際印加される直交関数  $F_5(t) \sim F_8(t)$  は、第1組n1に印加された  $F_1(t) \sim F_4(t)$  をそのままシフトしたものである。この組順次選択を第4組n4

まで一通り行なうと第一走査が完了する。以下同様にして第二走査、第三走査、第四走査を行ない、W a l s h 関数の1周期分に相当する駆動を完結する。次の1周期では直交信号の極性を反転して同様な組順次走査を4回繰り返し直流成分が入らない様にしている。

【0070】一方図21のタイミングチャートにおいて $G_j(t)$ は各信号電極に印加される積和信号の電圧波形を示している。この積和信号 $G_j(t)$ は以下の式で示す様に、ドットデータ $I_{ij}$ の組と直交信号 $F_i(t)$ の組の積和演算により求められる。

【0071】

【数13】

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} \times F_i(t)$$

【0072】但し、この積和演算では、非選択期間における直交信号の電圧が0レベルである事から、実際には選択ラインについてのみの合計となる。従って、4ライン同時選択の場合、積和信号がとり得る電位は5レベルとなる。つまり、データ信号として積和信号に必要な電位レベルは(同時選択ライン数n+1)個となる。

【0073】かかる複数ライン同時駆動方式によれば、高電圧パルス間の間隔が減少し、パルス幅を小さくせずに高周波数化と同等の効果が得られる。又、高電圧パルスとバイアス電圧との電位差が減少し、ON/OFF選択比を悪化せずにバイアス電圧の増大が可能となり、フレーム応答による表示コントラストの悪化を抑制する事が可能になる。さらに、本発明においては、組毎に同時選択される走査電極のライン数を最適化してセグメントドライバの耐圧とコモンドライバの耐圧との間の均衡を図る様にしている。

【0074】例えば、図21に示した例において、16本の走査電極を4本毎の組に分けて最適化を図っている。図21のタイミングチャートに示す様に、互いに直交関係にある4個の直交信号を用いて組順次走査を4回繰り返す事により1画面分の表示が行なえる。組順次走査を4回行なう事により、結果的に選択パルスが分散化した事になり直交信号の電圧レベルは低く抑えられコモンドライバに要求される耐圧も大きくならない。仮に2本毎に組分けすると組順次走査を2回繰り返す事により1サイクルが完結する。この為、選択パルスが分散されず大きな駆動電圧が必要になる。逆に、8本毎に組分けすれば、4本毎に組分けした場合に比べ一層低電圧化が図れる。しかしながら、この場合には逆にセグメントドライバ側に印加される積和信号の電圧レベルが増大してしまう。前述した様に、積和信号に必要な電圧レベルの個数は(同時選択ライン数n+1)で与えられる。n=4の場合には5レベルが必要とされるのに対し、n=8にすると9レベルが必要となり積和信号の高電圧化が避

けられず、従ってセグメントドライバに要求される耐圧も増大してしまう。

【0075】図22は同時選択ライン数nに対するドライバ耐圧の依存性を示すグラフであり実測データに基いている。この実測では全走査電極ライン数N=240の単純マトリクス型パネルを複数ライン同時選択法により駆動したものである。この際、同時選択ライン数nを変化させ任意の画像表示を行なった場合における直交信号及び積和信号の電圧レベルを実測して、セグメントドライバ及びコモンドライバに要求される耐圧を求めたものである。グラフから明らかな様に、コモンドライバ耐圧は同時選択ライン数nの増加とともに減少する一方、セグメントドライバの耐圧は同時選択ライン数nの増加とともに上昇する。丁度、n=(Nの平方根)の関係を満たす領域近傍で両耐圧は互いに均衡し、その値は約1.5Vである。セグメントドライバ及びコモンドライバとして共用のドライバICを用いる場合、同時選択ライン数nを最適化する事により結果的にドライバ耐圧を最小レベルに抑える事が可能になる。

【0076】図23は、同じく走査電極群の全ライン数がN=400の場合におけるドライバ耐圧測定結果である。グラフから明らかな様に、コモンドライバ耐圧は同時選択ライン数nの増加とともに減少し、逆にセグメントドライバ耐圧は同時選択ライン数nの増加とともに上昇している。両耐圧はn=(Nの平方根)の近傍領域で均衡している。この時、ドライバ耐圧として約2.0Vが必要になる。

【0077】最後に、電圧変調を用いた複数ライン選択法による階調表示を説明する。本発明の理解を容易にする為、先ず階調表示の原理を述べる。以下、複数ライン選択法において、L本を同時に選択した場合について説明する。図24は、3ライン(L=3)を同時に選択して駆動する場合の波形の従来例を示す。図24において $F_1(t) \sim F_6(t)$ は走査電極線に与える電圧波形を示し、 $G_1(t) \sim G_3(t)$ は信号電極線に与える電圧波形を示している。走査電極線の波形は、(0, 1)において完備な正規直交関数であるW a l s h 関数を用い、0の場合を-Vr(V)、1の場合を+Vr(V)、非選択期間を0(V)とした。上から下ずつ選択し、下に向って走査し、数回の走査でW a l s h 関数の1周期になり、次の1周期は極性を反転して直流成分が入らない様にする。信号電極線の波形は、総ライン数がN本で、任意の表示パタン $I_{ij}$ (iは走査電極方向、jは信号電極方向)を表示するとして、階調レベルが連続に変化して $-1 \leq I_{ij} \leq +1$ とすると、各信号電極線に与えられるデータ信号は基本的に以下の式を満足する様に求められる。

【0078】

【数14】

27

28

$$G_j(t) = \frac{L}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} V_{(N+1)j} F_{N+1}(t)$$

【0079】

【数15】

但し、

$$V_{(N+1)j} = (N - \sum_{m=1}^N |I_m|^2)^{1/2}$$

【0080】上記式において、 $V_{(N+1)}$  は  $N+1$  本目に設けた仮想ラインのデータであり、非選択期間の走査電極線の電圧が 0 (V) である事から、実際には選択ラインのみの合計になり、信号電極線に加える電圧  $G_j(t)$  は  $(N/L - 1)$  回目までは、第一項だけを計算すれば良く、又、最後の  $L$  本の選択時には第一項に加え上記式に従って第二項を加える事になる。この複数ライン同時選択法で得られる効果は以下の通りである。

【0081】(1) 高電圧パルス間の間隔が減少し、パルス幅を小さくせずに高周波数化時と同等の効果が得られる。

(2) 高電圧パルスとバイアス電圧との電位差が減少し、ON/OFF 選択比を悪化せずにバイアス電圧の増大が可能になり、フレーム応答によるコントラストの悪化を抑制する事が可能になる。

【0082】ところで、上記式に従って仮想ライン ( $N+1$ ) のデータ  $V_{(N+1)}$  を計算すると、 $I_{11}$  が  $-1 \sim 1$  まで連続した値をとるので、最大は  $I_{11}$  が 0 の時で  $\sqrt{N}$  になる。従って、 $N$  が大きくなるに従って  $V_{(N+1)}$  の値も大きくなってしまい信号電極線の波形が表示パタンによっては最後の複数ラインを選択した時にパルス性の高い電圧が印加されたり、されなかったりする。実際に液晶に印加される波形は走査電極線と信号電極線との間の合成  $U_{11}(t) = F_1(t) - G_1(t)$  になり図24 の  $F_1(t) - G_1(t)$ 、 $F_2(t) - G_2(t)$  等の様になる。同時選択ライン数  $L$  が  $\sqrt{N}$  本より小さい場合

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{(N+1)j} F_k(t)$$

【0085】

【数17】

$$V_{(L+1)j} = (\frac{L}{\sqrt{N}} \cdot (N - \sum_{m=1}^N |I_m|^2))^{1/2}$$

【0086】図24に示した様に、従来の計算方法では、信号電極線  $G_1(t)$  に表示パタンによっては走査電極線と同じくらいの高い電圧が加わってしまうが、本発明による計算方法によれば、図25の様になり、どの様な表示パタンであろうと信号電極線  $G_1(t)$  には高い電圧が加わらない事となる。従って実際に液晶に加わ

\*合、信号電極線の電圧に比べ走査電極線の電圧が高くなり合成された波形の周波数は走査電極線の波形が支配的になる。逆に同時に選択ライン数  $L$  が  $\sqrt{N}$  本より大きい場合、走査電極線より信号電極線の電圧が表示パタンによっては高くなり合成された波形の周波数は信号電極線の波形が支配的になる。又、液晶を駆動する場合、周波数特性があり周波数の差によって透過率の差が出てしまう。以上の事から同時に選択ライン数  $L$  が総ライン数  $N$  に比べ比較的小さい場合、走査電極線の波形が支配的であるのに対し、上記式に示される様な従来の計算では表示パタンによっては信号電極線にパルス性の高い電圧が加わる事により液晶への印加波形の周波数特性が変化し透過率の差が出てしまう。

【0083】以上の点に鑑み、本発明では階調表示の場合の積和演算方法を改良している。図25は本発明の駆動波形の一例を示したものである。総ライン数が240本で同時に選択ライン数が3本の場合において、走査電極に前記Wahlsh関数を用いたものである。図25において  $F_1(t)$  は走査電極にかける波形で、3本ずつ選択し液晶パネルの上から下へ順次走査していく。1本目に  $(+V_r, +V_r, -V_r, -V_r)$ 、2本目に  $(+V_r, -V_r, -V_r, +V_r)$ 、3本目に  $(+V_r, -V_r, +V_r, -V_r)$  をセットする。仮想ラインには  $(+V_r, +V_r, +V_r, +V_r)$  をセットする。一方信号電極線に印加されるデータ信号  $G_1(t)$  は以下の数式によって計算される。表示パタンを図の様に走査線1本目に -1、2本目に  $-1/2$ 、3本目に 0 として  $F_1(t)$  以降の非選択期間のパタンを、-1, 0,  $1/2$  として計算すると夫々、 $G_1(t)$ ,  $G_2(t)$ ,  $G_3(t)$  となる。

【0084】

【数16】

40 る波形は、図25の  $U_{11}(t)$ ,  $U_{22}(t)$ ,  $U_{33}(t)$  の様になり、どの様な表示パタンであっても似た様な波形になる。

【0087】図26は総ライン数が240本で同時に選択ライン数が7本の場合において、走査電極に前記Wahlsh関数を用いたものである。図26において  $F_1(t)$  は走査電極にかける波形で、7本ずつ選択し液晶パネルの上から下へ順次走査していく。

【0088】1本目に  $(+V_r, +V_r, +V_r, +V_r, -V_r, -V_r, -V_r)$

50 2本目に  $(+V_r, +V_r, -V_r, -V_r, -V_r)$

29

$-V_r, +V_r, +V_r)$   
 3本目に  $(+V_r, +V_r, -V_r, -V_r, +V_r,$   
 $+V_r, -V_r, -V_r)$   
 4本目に  $(+V_r, -V_r, -V_r, +V_r, +V_r,$   
 $-V_r, -V_r, +V_r)$   
 5本目に  $(+V_r, -V_r, -V_r, +V_r, -V_r,$   
 $+V_r, +V_r, -V_r)$   
 6本目に  $(+V_r, -V_r, +V_r, -V_r, -V_r,$   
 $+V_r, -V_r, +V_r)$   
 7本目に  $(+V_r, -V_r, +V_r, -V_r, +V_r,$   
 $-V_r, +V_r, -V_r)$   
 仮想ラインに、  $(+V_r, +V_r, +V_r, +V_r, +V_r,$   
 $+V_r, +V_r, +V_r, +V_r)$   
 とセットする。

【0089】信号電極線に印加されるデータ信号  $G_j(t)$  は、上記式によって計算される。表示パタンを図の様に、走査線1本目に-1、2本目に-1/2、3本目に-1/4、4本目に0、5本目に1/4、6本目に\*

$$V_{kj} = \left( L - \sum_{m=1}^N I^2 (k * L + m) \right)^{1/2} \quad k = i/L$$

【0092】

※ ※ 【数19】

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{kj} F_k(t)$$

【0093】従来の複数ライン選択法で階調表示をした場合、表示パタンによっては透過率の差が出るが、本発明では仮想ラインデータを複数本選択毎に分散させて印加する事により、実際に液晶に印加される波形は表示パタンに関係なく走査電極線の周波数が支配的になり、画面内が均一になる。

【0094】以上説明した様に、複数本選択毎に仮想データ

$$G_j(t) = \frac{1}{\sqrt{N}} \sum_{i=1}^N I_{ij} F_i(t) + \frac{1}{\sqrt{N}} \sum_{k=1}^{N/L} V_{(k-A)j} F_k(t)$$

【0096】1回又は数回前に選択された時点でメモリより読み出されたし本のデータから仮想データ  $V_{kj}$  の計算をする事により駆動回路において演算時間を長くとれて簡素化できる。信号電極線に印加される電圧  $G_j(t)$  を計算する場合、パネルの画素数を  $240 \times 320 \times 3 (RGB)$  として、フレーム周波数が  $60\text{Hz}$  の時、1画素当たり  $7.2\text{ns}$  となる。従って演算結果をためておくバッファメモリを持たずに信号電圧  $G_j(t)$  を演算しながら直接ドライバICへ供給すると、4画素単位で計算して  $28.8\text{ns}$ 、8画素単位で  $57.6\text{ns}$  で演算が終了する必要がある。ここでデータメモリからの読み出し、及び演算時間等を考えると、回路を高速化するか、演算回路を複数用意して同時に計算する必要がある。本発明による仮想データ  $V_{kj}$  の計算方法によれば、1回前に選択した時のデータを用いる事ができ、 $I_{ij}$  を2乗し

40

50

\*  $1/2, 7$  本目に  $1$  とし、 $F_i(t)$  以降の非選択期間のパタンを、 $-1, -1/2, 0$  として計算すると夫々、 $G_1(t), G_2(t), G_3(t)$  となる。この場合も3本同時選択同様、各画素への印加波形は図中  $U_{ij}(t)$  の様になり、表示パタンによる波形の違いを极力抑える事ができる。

【0090】又、複数本選択する毎に仮想ラインを設ける際、 $N+1$  本目に集中していた実効値を  $L$  本選択毎に計算して波形全体に分散させる事により信号電極線にパルス性の高い電圧が加わらない様にしても良い。この場合には、 $V_{kj}$  のデータを以下の数式18に従って計算し、信号電極線に印加されるデータ信号  $G_j(t)$  は以下の数式19に従って計算する。つまり複数本選択毎に仮想データである  $V_{kj}$  を計算して加える事により信号電極線の電圧が決まる。この時  $V_{kj}$  は最大値で  $\sqrt{L}$  になり高い電圧は加わらない事となる。

【0091】

【数18】

☆タである  $V_{kj}$  を計算して加える事により信号電極線の電圧が決まる。この時加えられる  $V_{kj}$  は選択されている  $L$  本のデータではなく、次の数式20に示す様に1回又は数回前に選択されたし本のデータにより計算しても良い。

【0095】

【数20】

てからの減算を1回前の選択時に演算して、平方根の演算を今回の選択時に演算する事ができ、時間的に余裕ができる。従って同時に演算する画素数を減らす事ができ、駆動回路の簡素化ができる。

【0097】

【発明の効果】以上説明した様に、本発明によれば、単純マトリクス型液晶パネルの駆動回路に直交信号発生手段を設け、互いに直交関係にある複数の直交信号を発生している。さらに、これを逐次適当な組み合わせパタンでコマンドドライバに供給し、この組み合わせパタンに応じて走査電極群を所定の組順次で選択駆動する様にしている。この為、実用的且つ効率的な回路構成で単純マトリクス型液晶パネルの複数ライン同時駆動が可能になるという効果がある。直交信号の適当な組み合わせパタンを固定としこれを繰り返し供給しても良いが、場合によ

っては組順次駆動毎に横ずらしした組み合わせパタンや、サイクル毎に縦ずらしした組み合わせパタンを採用する事もできる。本発明にかかる直交信号発生手段は直交関係を保持したまま種々多様な組み合わせパタンを作成でき、フレーム応答の抑制やコントラストの改善に極めて効果的である。

【0098】又、本発明によれば、直交信号の組を逐次コモンドライバに供給し走査電極群を所定のライン数毎に組順次で選択駆動するとともに、ドットデータの組と直交信号の組の積和演算により得られた積和信号をセグメントドライバに供給し組順次走査に同期して信号電極群を駆動する複数ライン同時駆動方法において、組毎に同時選択される走査電極のライン数を最適化する事により、セグメントドライバの耐圧とコモンドライバの耐圧との間の均衡を図る事ができるという効果がある。

【0099】さらに本発明による横ずらし駆動方法によれば、全ONパタンの場合においても、液晶セルの光の透過率がフレーム走査の周期に応じて低下する事がなく、安定して高いレベルを維持する事ができる。又、従来例の様な全ONパタンに見られる透過率の揺れがなくなり、任意パタン時の光学応答と同様になる。従って表示パタンによるコントラストの差がなくなり、フレーム応答も減少する。さらに本発明による縦ずらし駆動方法によれば、走査電極線にかかる波形パタンの周波数の差によって発生する横方向の縞模様のむらがなくなり、均一な画面が得られる。加えて本発明による階調駆動方法によれば、信号電極線の波形に応じて表示パタンによって出るパルス性の高い電圧がなくなり、液晶に印加される波形は表示パタンに関係なく走査電極線の周波数が支配的になり、画面内が均一になる。この際、信号電圧G<sub>t</sub>

(t) の計算に必要な仮想データV<sub>i1</sub>の計算を1回又は数回前の選択時より始める事ができ、データメモリからの読み出し、演算等を何回かの選択時間に分割して行なう事ができ、駆動回路を簡素化、小型化できる。

#### 【図面の簡単な説明】

【図1】本発明にかかる液晶表示装置の基本的な構成を示すブロック図である。

【図2】複数ライン同時駆動の実施例を示すタイミングチャートである。

【図3】直交関数の一例であるWalsh関数を示す波形図である。

【図4】液晶パネルの行選択時間に対するコントラスト比の依存性を示すグラフである。

【図5】図1に示した液晶表示装置駆動回路の具体的な構成例を示す回路図である。

【図6】図5に示した駆動回路に含まれるメモリユニットの構成例を示す回路図である。

【図7】同じく図5に示した駆動回路に含まれるWalsh関数発生回路の構成例を示す回路図である。

【図8】同じく図5に示した駆動回路に含まれる演算器

ユニットの構成例を示す回路図である。

【図9】単純マトリクス型液晶パネルの光学応答を示すグラフである。

【図10】横ずらし方式に基く複数ライン同時駆動を示すタイミングチャートである。

【図11】液晶パネルの光学応答を示すグラフである。

【図12】横ずらし駆動に好適なWalsh関数発生回路の構成例を示す回路図である。

【図13】縦ずらし方式に基く複数ライン同時駆動を示すタイミングチャートである。

【図14】縦ずらし駆動に好適なWalsh関数発生回路の構成例を示す回路図である。

【図15】従来の単純マトリクス型液晶表示装置の光学応答を示すグラフである。

【図16】同じく従来の単純マトリクス型液晶表示装置の光学応答を示すグラフである。

【図17】同じく従来の単純マトリクス型液晶表示装置の光学応答を示すグラフである。

【図18】単純マトリクス型液晶表示装置の周波数依存性を示すグラフである。

【図19】縦ずらし方式に基く複数ライン同時駆動の他の例を示すタイミングチャートである。

【図20】縦ずらし方式に基く複数ライン同時駆動の別の例を示すタイミングチャートである。

【図21】本発明にかかる複数ライン同時駆動方法の選択ライン本数最適化説明図である。

【図22】ドライバ耐圧と同時選択ライン数との関係を示すグラフである。

【図23】同じくドライバ耐圧と同時選択ライン数との関係を示すグラフである。

【図24】従来のパルス電圧変調による階調表示方法を示すタイミングチャートである。

【図25】本発明にかかるパルス電圧変調を用いた階調表示方法を示すタイミングチャートである。

【図26】同じく本発明にかかるパルス電圧変調を用いた階調表示方法の他の例を示すタイミングチャートである。

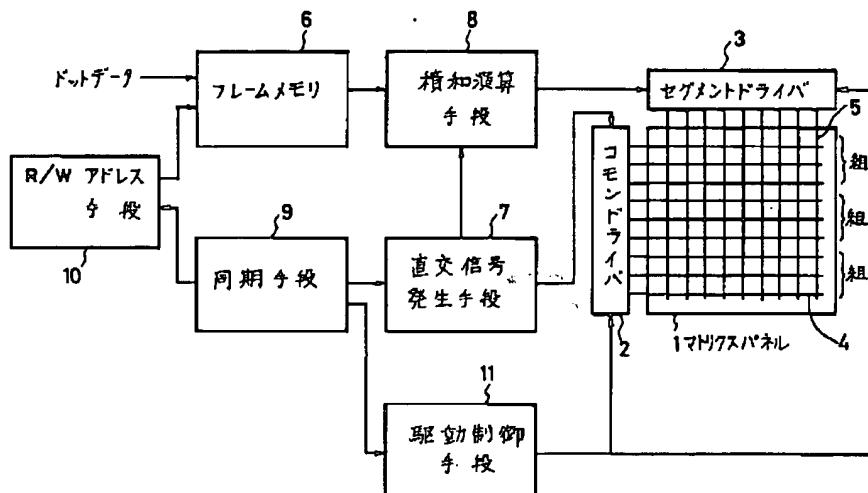
#### 【符号の説明】

- 1 マトリクスパネル
- 2 コモンドライバ
- 3 セグメントドライバ
- 4 走査電極群
- 5 信号電極群
- 6 フレームメモリ
- 7 直交信号発生手段
- 8 積和演算手段
- 9 同期手段
- 10 R/Wアドレス手段
- 11 駆動制御手段
- 21 シリアル/パラレル変換回路

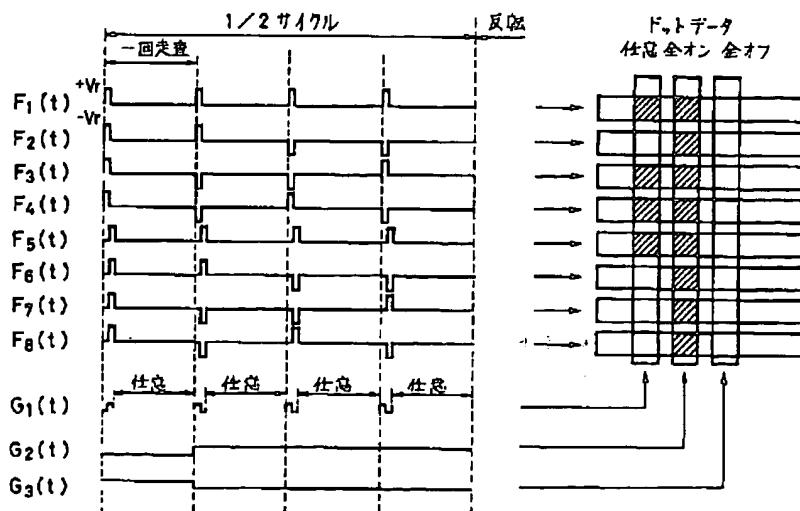
2 2 メモリユニット  
 2 3 メモリユニット  
 2 4 メモリユニット  
 2 5 メモリユニット  
 2 6 書き込みタイミング発生回路  
 2 7 書き込みアドレス発生回路  
 2 8 読み出しアドレス発生回路  
 2 9 アドレス切換回路  
 3 0 読み出しタイミング発生回路  
 3 1 W a l s h 関数発生回路  
 3 2 駆動信号発生回路

3 3 レベル変換回路  
 3 4 演算器ユニット  
 3 5 演算器ユニット  
 3 6 演算器ユニット  
 3 7 演算器ユニット  
 3 8 演算器ユニット  
 3 9 演算器ユニット  
 4 0 演算器ユニット  
 4 1 演算器ユニット  
 10 4 2 8/4 変換回路

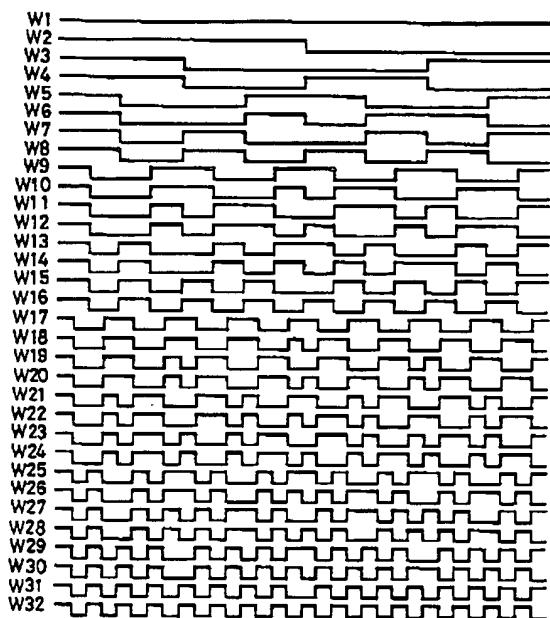
【図1】



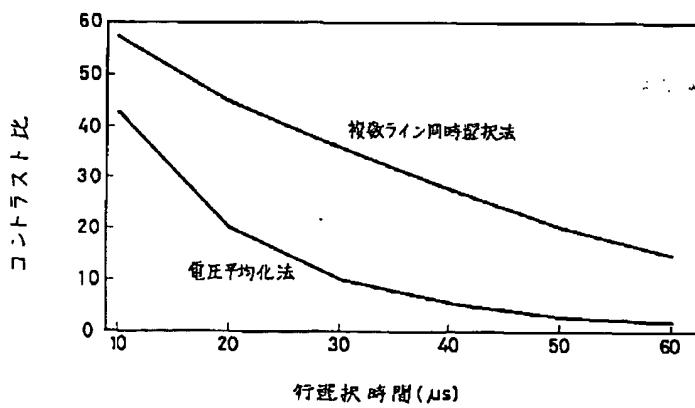
【図2】



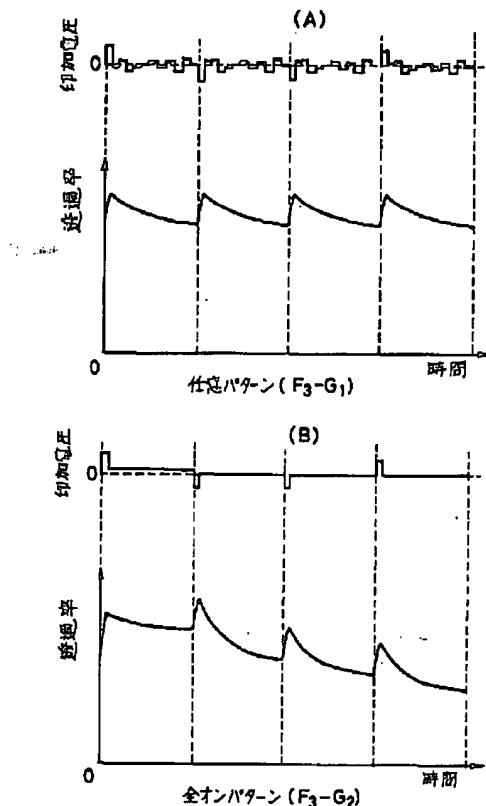
【図3】



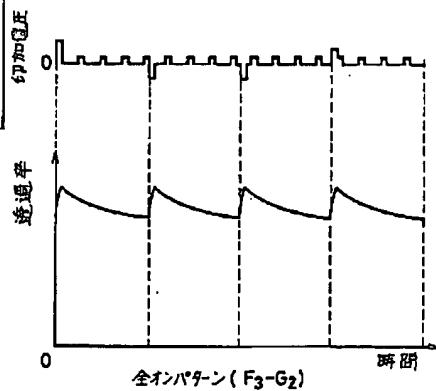
【図4】



【図9】

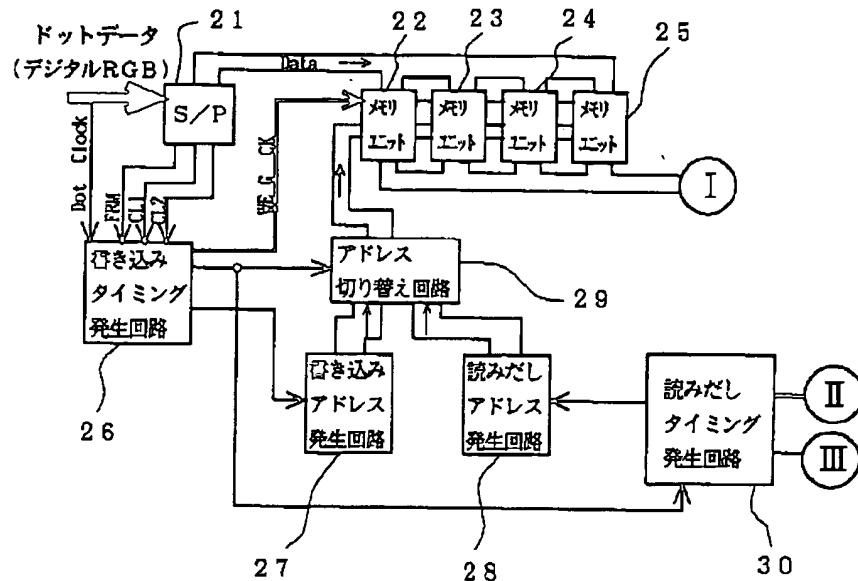


【図11】

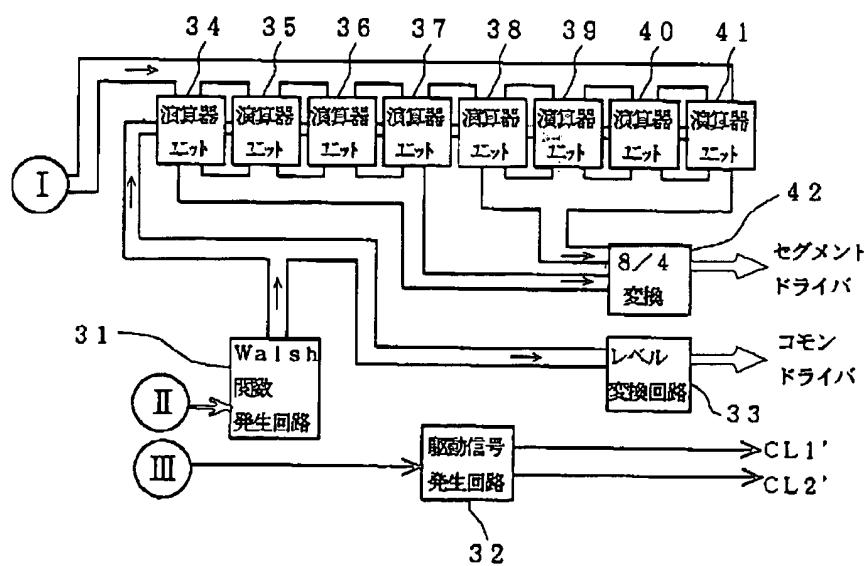


【図5】

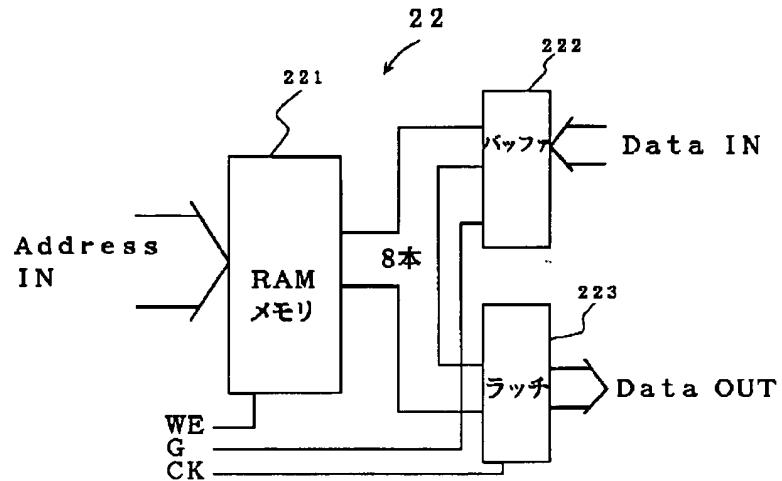
(A)



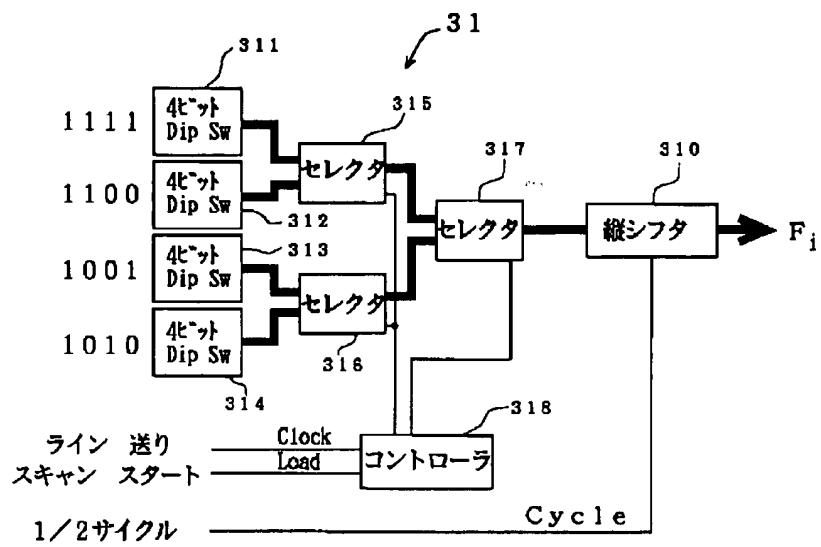
(B)



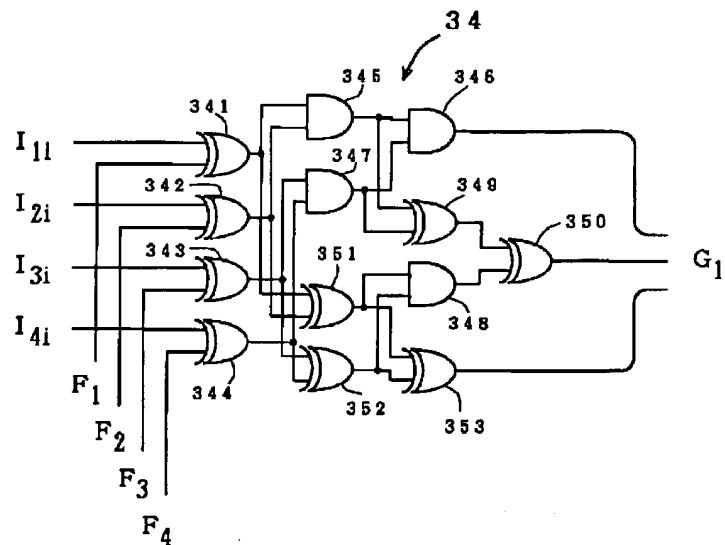
【図6】



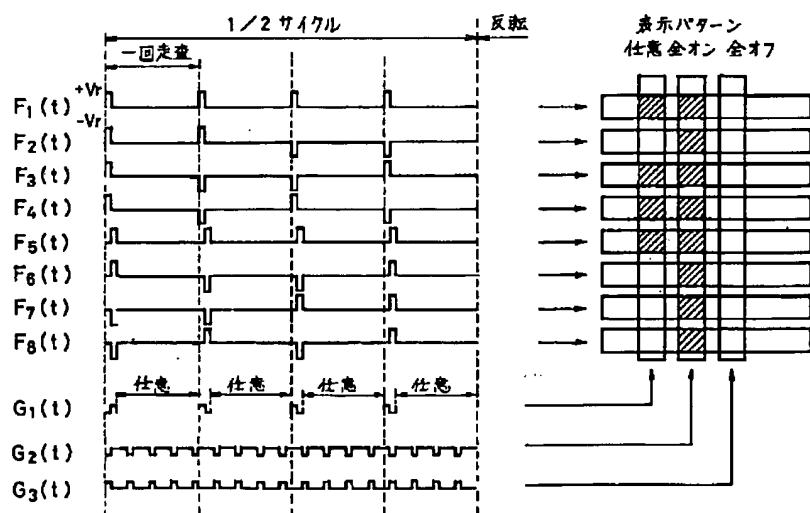
【図7】



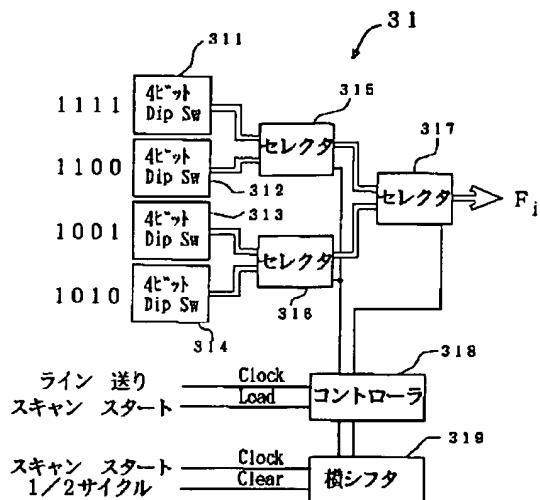
【図8】



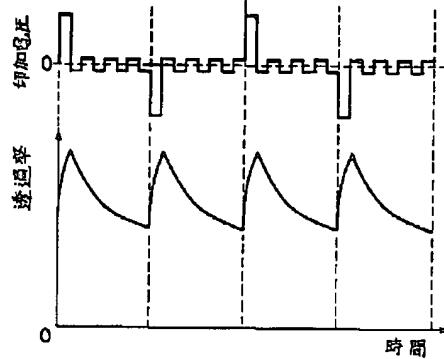
【図10】



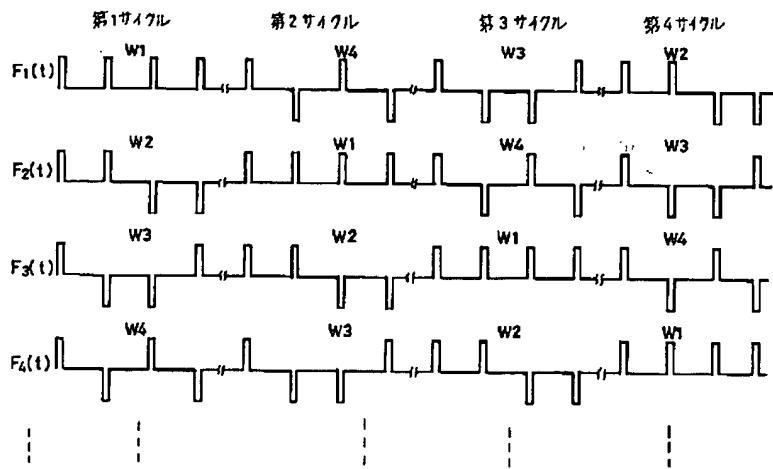
【図12】



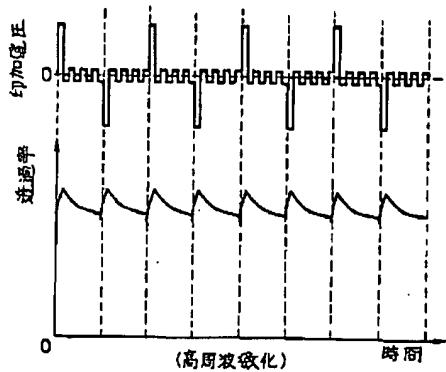
【図15】



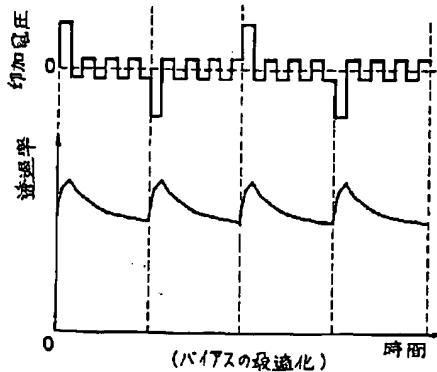
【図13】



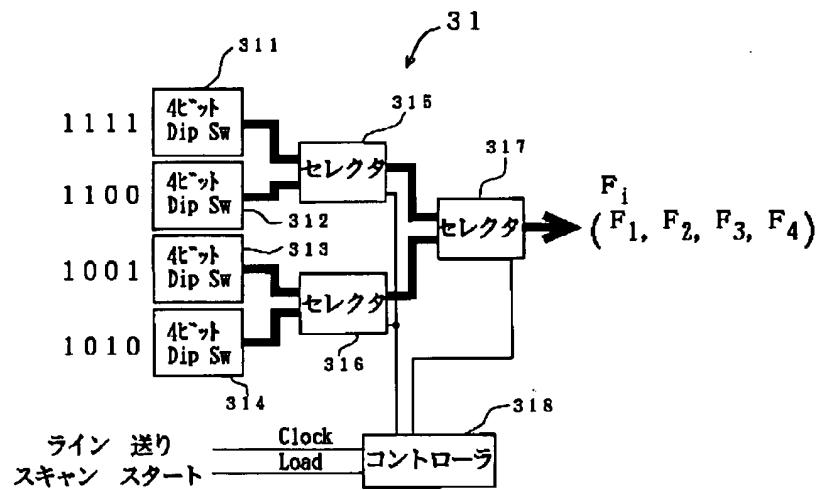
【図16】



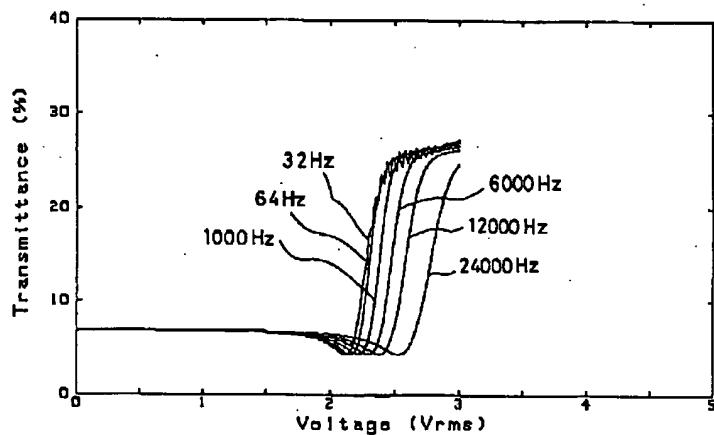
【図17】



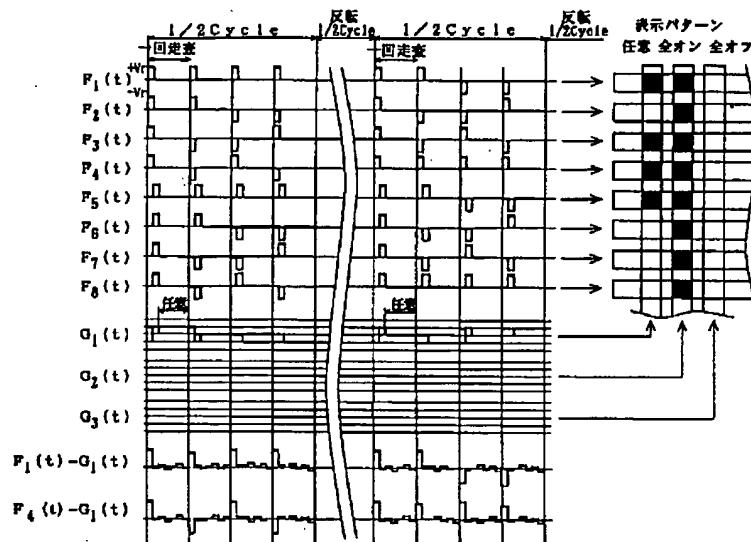
【図14】



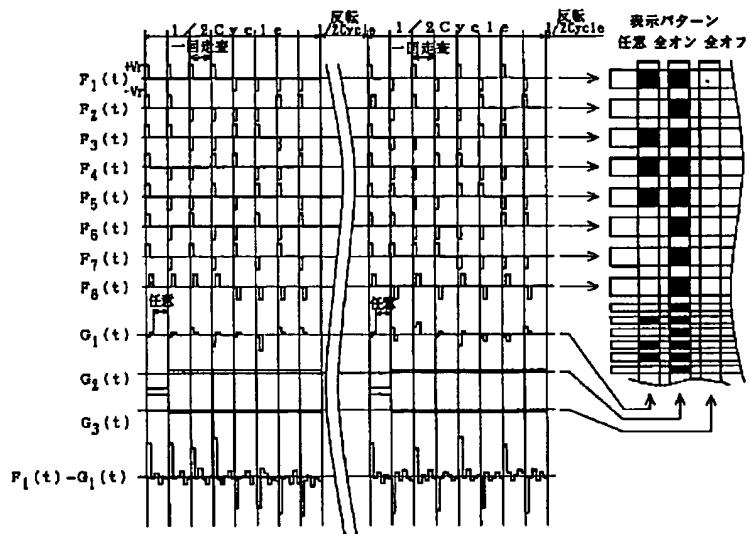
【図18】



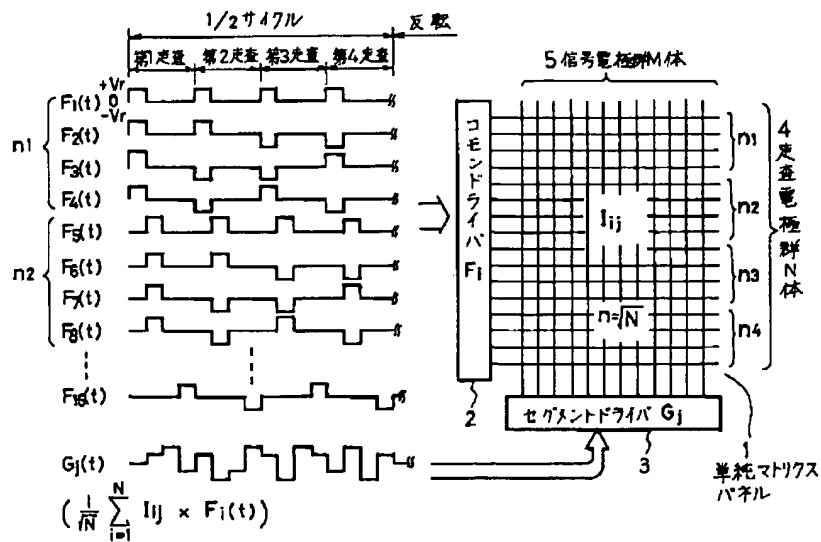
【図19】



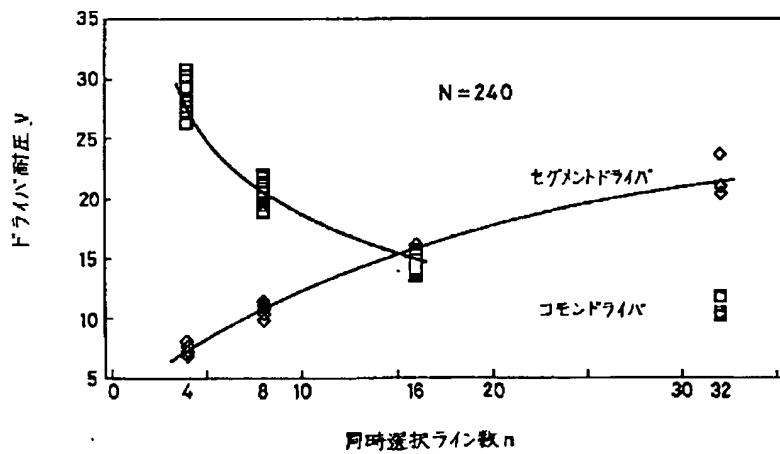
【図20】



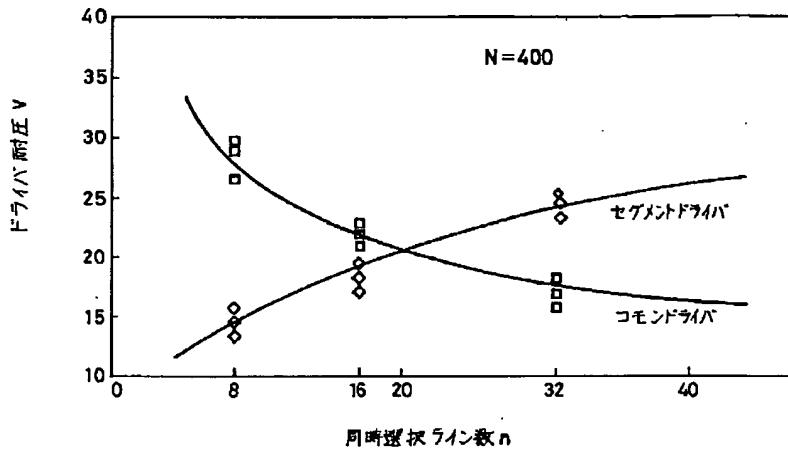
【図21】



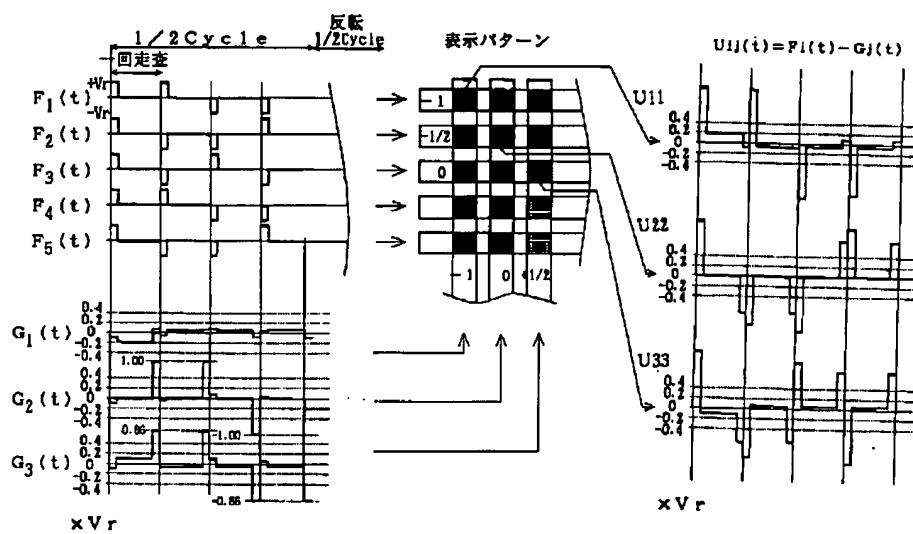
【図22】



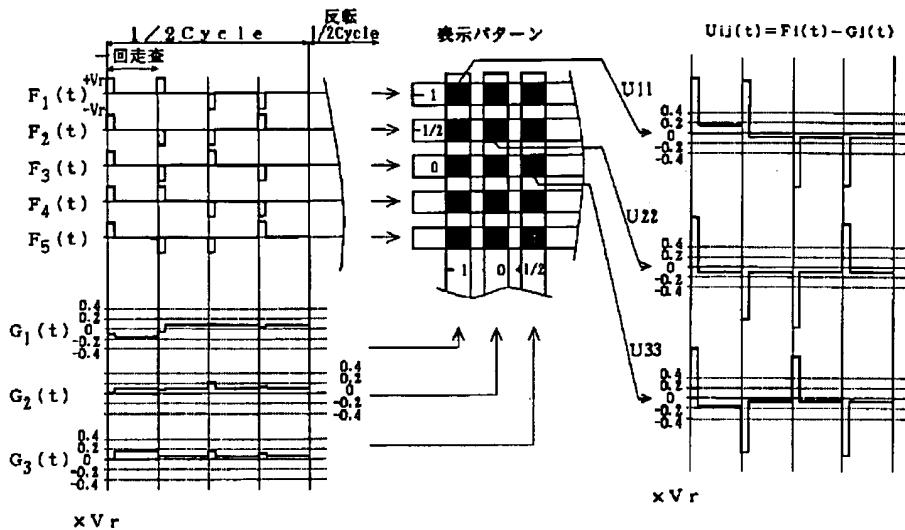
【図23】



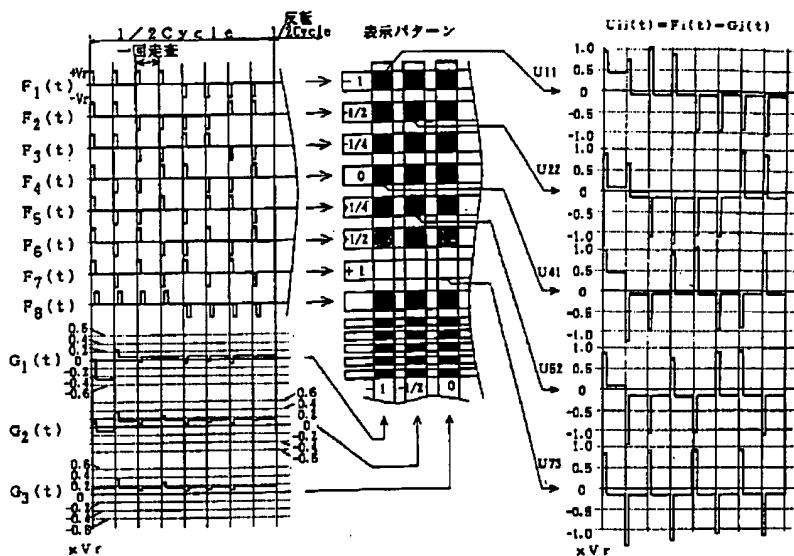
【図24】



【図25】



【図26】



フロントページの続き

(31) 優先権主張番号 特願平5-64425  
 (32) 優先日 平5(1993)3月23日  
 (33) 優先権主張国 日本(JP)  
 (31) 優先権主張番号 特願平5-157449  
 (32) 優先日 平5(1993)6月28日  
 (33) 優先権主張国 日本(JP)

(31) 優先権主張番号 特願平5-157450  
 (32) 優先日 平5(1993)6月28日  
 (33) 優先権主張国 日本(JP)  
 (31) 優先権主張番号 特願平5-157451  
 (32) 優先日 平5(1993)6月28日  
 (33) 優先権主張国 日本(JP)

(72)発明者 山本 修平  
東京都江東区亀戸6丁目31番1号 セイコ  
一電子工業株式会社内